

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/001541

International filing date: 27 January 2005 (27.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-031064
Filing date: 06 February 2004 (06.02.2004)

Date of receipt at the International Bureau: 17 March 2005 (17.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日本国特許庁 27.1.2005
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2004年 2月 6日
Date of Application:

出願番号 特願2004-031064
Application Number:

[ST. 10/C] : [JP2004-031064]

出願人 株式会社半導体エネルギー研究所
Applicant(s):

2005年 3月 4日

特許庁長官
Commissioner,
Japan Patent Office

小川

洋

【書類名】 特許願
【整理番号】 P007721
【提出日】 平成16年 2月 6日
【あて先】 特許庁長官 殿
【発明者】
【住所又は居所】 神奈川県厚木市長谷 398 番地 株式会社半導体エネルギー研究所
【氏名】 山崎 舜平
【発明者】
【住所又は居所】 神奈川県厚木市長谷 398 番地 株式会社半導体エネルギー研究所
【氏名】 大力 浩二
【特許出願人】
【識別番号】 000153878
【氏名又は名称】 株式会社半導体エネルギー研究所
【代表者】 山崎 舜平
【手数料の表示】
【予納台帳番号】 002543
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】特許請求の範囲**【請求項 1】**

絶縁基板上に剥離層を形成し、
前記剥離層上に複数の薄膜集積回路を形成し、
前記複数の薄膜集積回路の境界に溝を形成することにより、前記剥離層を露出させ、
前記複数の薄膜集積回路上に開口部及びアンテナが形成されたアンテナ用基板を張り合わせ、
前記開口部にハロゲン化フッ素を含む気体又は液体を導入し、前記剥離層を除去することによ
つて前記絶縁基板を剥離し、かつ前記アンテナ用基板により前記複数の薄膜集積回路は一
体化された状態となっている
ことを特徴とする薄膜集積回路の作製方法。

【請求項 2】

絶縁基板上に剥離層を形成し、
前記剥離層上に複数の薄膜集積回路を形成し、
前記複数の薄膜集積回路の境界に溝を形成することにより、前記剥離層を露出させ、
前記複数の薄膜集積回路上に開口部及びアンテナが形成されたアンテナ用基板を張り合わせ、
前記開口部にハロゲン化フッ素を含む気体又は液体を導入し、前記剥離層を除去することによ
つて前記絶縁基板を剥離し、かつ前記アンテナ用基板により前記複数の薄膜集積回路は一
体化された状態となり、
一体化された前記複数の薄膜集積回路をフレキシブル基板へ接着する
ことを特徴とする薄膜集積回路の作製方法。

【請求項 3】

絶縁基板上に剥離層を形成し、
前記剥離層上に複数の薄膜集積回路を形成し、
前記複数の薄膜集積回路の境界に溝を選択的に形成することにより、前記剥離層の一部を
露出させ、かつ前記薄膜集積回路の一部からなる接続領域を形成し、
前記溝にハロゲン化フッ素を含む気体又は液体を導入し、前記剥離層を除去することによ
つて前記絶縁基板を剥離し、かつ前記接続領域により前記複数の薄膜集積回路は一
体化された状態となっている
ことを特徴とする薄膜集積回路の作製方法。

【請求項 4】

絶縁基板上に剥離層を形成し、
前記剥離層上に複数の薄膜集積回路を形成し、
前記複数の薄膜集積回路の境界に溝を選択的に形成することにより、前記剥離層の一部を
露出させ、かつ前記薄膜集積回路の一部からなる接続領域を形成し、
前記溝にハロゲン化フッ素を含む気体又は液体を導入し、前記剥離層を除去することによ
つて前記絶縁基板を剥離し、かつ前記接続領域により前記複数の薄膜集積回路は一
体化された状態となり、
一体化された前記薄膜集積回路にアンテナを張り合わせる
ことを特徴とする薄膜集積回路の作製方法。

【請求項 5】

絶縁基板上に剥離層を形成し、
前記剥離層上に複数の薄膜集積回路を形成し、
前記複数の薄膜集積回路の境界に溝を選択的に形成することにより、前記剥離層の一部を
露出させ、かつ前記薄膜集積回路の一部からなる接続領域を形成し、
前記溝にハロゲン化フッ素を含む気体又は液体を導入し、前記剥離層を除去することによ
つて前記絶縁基板を剥離し、かつ前記接続領域により前記複数の薄膜集積回路は一
体化された状態となり、
一体化された前記複数の薄膜集積回路をフレキシブル基板へ接着し、

一体化された前記薄膜集積回路上にアンテナを張り合わせることを特徴とする薄膜集積回路の作製方法。

【請求項 6】

絶縁基板上に剥離層を形成し、

前記剥離層上に複数の薄膜集積回路を形成し、

前記複数の薄膜集積回路の境界に溝を選択的に形成することにより、前記剥離層の一部を露出させ、かつ前記薄膜集積回路の一部からなる接続領域を形成し、

前記複数の薄膜集積回路上に開口部及びアンテナが形成されたアンテナ用基板を張り合わせ、

前記溝及び前記開口部にハロゲン化フッ素を含む気体又は液体を導入し、前記剥離層を除去することによって前記絶縁基板を剥離し、かつ前記アンテナ用基板により前記複数の薄膜集積回路は一体化された状態となっている

ことを特徴とする薄膜集積回路の作製方法。

【請求項 7】

請求項 1 乃至 6 のいずれか一において、

前記薄膜集積回路は薄膜トランジスタと、前記薄膜トランジスタの上方及び下方に設けられた窒素を有する絶縁膜を含む層を有する

ことを特徴とする薄膜集積回路の作製方法。

【請求項 8】

請求項 1 乃至 7 のいずれか一において、

前記ハロゲン化フッ素として、 C_1F_3 を用いることを特徴とする薄膜集積回路の作製方法。

【請求項 9】

請求項 1 乃至 8 のいずれか一において、

前記絶縁基板は、

ガラス基板、石英基板、又はプラスチック若しくはアクリルからなる可撓性を有する合成樹脂基板であることを特徴とする薄膜集積回路の作製方法。

【請求項 10】

請求項 1 乃至 9 のいずれか一において、

前記薄膜集積回路の実装位置 X は、実装物品の膜厚を D とすると、 $(1/2) \cdot D - 30 \mu m < X < (1/2) \cdot D + 30 \mu m$ を満たすことを特徴とする薄膜集積回路の作製方法。

【請求項 11】

請求項 1、2、4 乃至 10 のいずれか一において、

異方性導電体、超音波接着剤、又は紫外線硬化樹脂を用いて前記薄膜集積回路にアンテナを張り合わせる

ことを特徴とする薄膜集積回路の作製方法。

【請求項 12】

請求項 1、2、4 乃至 11 のいずれか一において、

前記アンテナは、液滴吐出法、スパッタリング法、印刷法、メッキ法、フォトリソグラフィー法及びメタルマスクを用いた蒸着法のいずれか、又はそれらを組み合わせた方法により形成する

ことを特徴とする薄膜集積回路の作製方法。

【請求項 13】

請求項 1 乃至 12 のいずれか一において、

前記剥離層は珪素を有する非晶質半導体、セミアモルファス半導体、微結晶半導体、及び結晶性半導体のいずれかの状態を有する

ことを特徴とする薄膜集積回路の作製方法。

【請求項 14】

請求項 1 乃至 13 のいずれか一において、前記薄膜集積回路の厚みは $0.3 \mu m \sim 3 \mu m$

である
ことを特徴とする薄膜集積回路の作製方法。

【請求項15】

請求項1乃至14のいずれか一において、前記薄膜集積回路は5mm四方以下である
ことを特徴とする薄膜集積回路の作製方法。

【請求項16】

請求項1乃至15のいずれか一において、前記薄膜集積回路は、水素濃度が $1 \times 10^{19} \sim 5 \times 10^{20} / \text{cm}^3$ である半導体膜を有する
ことを特徴とする薄膜集積回路の作製方法。

【請求項17】

請求項16において、前記半導体膜の厚みは0.2μm以下である
ことを特徴とする薄膜集積回路の作製方法。

【請求項18】

請求項16又は17において、前記半導体膜はソース、ドレイン、及びチャネル形成領域
を有し、
前記ソース、ドレイン、及びチャネル形成領域は、実装物品を曲げる方向に対して垂直と
なるように形成する
ことを特徴とする薄膜集積回路の作製方法。

【請求項19】

請求項1乃至18のいずれか一において、
ダイシング、スクライビング、又はレーザカット法により、前記複数の薄膜集積回路を切
断し、各薄膜集積回路を形成する
ことを特徴とする薄膜集積回路の作製方法。

【請求項20】

剥離層を介して、複数の薄膜集積回路が形成された絶縁基板と、
前記絶縁基板と対向して設けられたアンテナ用基板とを有し、
前記アンテナ用基板は、アンテナ及び開口部を有し、
前記開口部と一致するように、前記薄膜集積回路間に溝が設けられていることを特徴とす
る素子基板。

【請求項21】

剥離層を介して、複数の薄膜集積回路が形成された絶縁基板と、
前記絶縁基板と対向して設けられたアンテナ用基板とを有し、
前記アンテナ用基板は、アンテナ及び開口部を有し、
前記開口部と一致するように、前記薄膜集積回路間に溝が設けられていることを特徴とす
る素子基板。

【請求項22】

剥離層を介して、複数の薄膜集積回路が形成された絶縁基板と、
接続領域により前記複数の薄膜集積回路は一体化されており、
前記絶縁基板と対向して設けられたアンテナ用基板とを有し、
前記アンテナ用基板は、アンテナ及び開口部を有し、
前記開口部と一致するように、前記薄膜集積回路間に溝が設けられ、かつ前記薄膜集積回
路内に開口部が設けられていることを特徴とする素子基板。

【請求項23】

請求項20乃至22のいずれか一において、
前記薄膜集積回路は薄膜トランジスタと、前記薄膜トランジスタの上方及び下方に設けら
れた窒素を有する絶縁膜を含む層を有する
ことを特徴とする素子基板。

【請求項24】

請求項20乃至23のいずれか一において、
前記剥離層は珪素を有する非晶質半導体、セミアモルファス半導体、微結晶半導体、及び

結晶性半導体のいずれかの状態を有する
ことを特徴とする素子基板。

【請求項 25】

請求項 20 乃至 24 のいずれか一において、前記薄膜集積回路の厚みは $0.3 \mu\text{m} \sim 3 \mu\text{m}$ である

ことを特徴とする薄膜集積回路の作製方法。

【請求項 26】

請求項 20 乃至 25 のいずれか一において、前記薄膜集積回路は、水素濃度が $1 \times 10^{19} \sim 5 \times 10^{20} / \text{cm}^3$ である半導体膜を有する
ことを特徴とする薄膜集積回路の作製方法。

【請求項 27】

請求項 26 において、前記半導体膜の厚みは $0.2 \mu\text{m}$ 以下である

ことを特徴とする薄膜集積回路の作製方法。

【書類名】明細書

【発明の名称】薄膜集積回路の作製方法、及び素子基板

【技術分野】

【0001】

本発明は、多くの情報を記録可能な薄膜集積回路の作製方法、及び当該薄膜集積回路を作製するための素子基板に関する。

【背景技術】

【0002】

近年、有価証券や商品の管理など、自動認識が必要なあらゆる分野を対象に、非接触でデータの授受が行えるICチップ搭載カードや、ICチップ搭載タグの必要性が高まっている。これらのICカードやICタグは、利用形態から考えると使い捨てになることが多いため安価に製造することが求められている。特にシリコンウェハから形成されるICチップの低コスト化が求められている。

【0003】

このようなICチップの利用形態として、家畜の安全管理のため、動物の一部にICチップを付け、伝染病予防や品質保証に用いられている。同様に野菜の安全管理のため、生産者や産地、農薬使用状況などが記録されたICチップを付して販売している。

【0004】

また別の利用形態として、有価な証券類に搭載し、不正利用を防ぐとともに、正規な管理元に取り戻せた場合には再利用が可能となる形態が提案されている（特許文献1参照）。

【特許文献1】特開2001-260580号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

このようなシリコンウェハから形成されるICチップは、低コスト化に限界がみえてきた。しかし、ICチップは利用形態の増大、需要の増大が予想され、さらなる低コスト化が要求される。

【0006】

そこで本発明は、さらなる低コストでの生産が可能な構造、プロセスの提供を課題とする。

【課題を解決するための手段】

【0007】

上記課題を鑑み本発明は、絶縁表面を有する基板（絶縁基板）に薄膜集積回路（IDFチップとも表記する）を形成し、当該絶縁基板を剥離し、当該剥離において、各IDFチップがばらばらに分離することを防止することを特徴とする。

【0008】

このように絶縁基板にIDFチップを形成する場合、円形のシリコンウェハからチップを取り出す場合と比較して、母体基板形状に制約がないため、IDFチップの生産性を高め、大量生産を行うことができる。その結果、IDFチップのコストの削減できる。単価が非常に低いIDFチップは、単価コストの削減により非常に大きな利益を生むことができる。

【0009】

さらに絶縁基板を剥離することにより、当該絶縁基板を再利用することができる。そのため、シリコンウェハを研磨して薄型化を達成する従来のICチップと比べて低コスト化を達成することができる。

【0010】

絶縁基板を剥離することで、非常に薄型のIDFチップを作製することができる。なお絶縁基板を剥離後、別途絶縁基板（転写用基板とも表記する）に移し替えてよい。このとき転写用基板は、フレキシブル性を有する基板（以下、フレキシブル基板とも表記する）

が好ましい。このように、IDFチップの素子（作製途中を含む）を別の基板に移し替えることを転写と呼ぶことがある。

【0011】

具体的な本発明は、絶縁基板上に形成された剥離層を除去することにより絶縁基板を剥離する。剥離層を除去する方法は、エッチング剤（気体又は液体を含む）を用いて化学的に除去したり、応力を加えて物理的に除去する方法がある。特に、エッチング剤を用いて化学的に剥離層を除去すると、反応残留等の発生を低減することができるため好ましい。さらに好ましくは、剥離層に到達するように溝を設け、エッチング剤を導入することにより剥離層を除去するとよい。エッチング剤としては、代表的にはハロゲン化フッ素を含む気体又は液体を用いることができ、例えばハロゲン化フッ素として C_1F_3 （三フッ化塩素）を使用することができる。

【0012】

例えばアンテナを別途形成して張り合わせる場合、アンテナが形成される基板（アンテナ用基板と表記する）を張り合わせた後、剥離層を除去することができる。すなわち、アンテナ用基板に開口部を形成し、IDFチップ及び溝が形成された絶縁基板と張り合わせ、その後エッチング剤を用いて化学的に剥離層を除去する。その結果、IDFチップがばらばらに分離することなく、一体化された状態でアンテナを張り合わせることができる。

【0013】

またIDFチップがばらばらに分離することを防ぐ別の手段として、溝を形成するときには、IDFチップ間に設けられた絶縁膜、又は導電膜等の一部残す（残された領域を接続領域と表記する）ことを特徴とする。この場合、剥離層は選択的に形成された溝から導入されるエッチング剤により除去される。このときIDFチップ同士は、接続領域で繋がっているためバラバラに分離することができなく、一体化された状態となっている。その後、必要に応じてアンテナを形成する。

【0014】

以上のようにIDFチップを作製するための素子基板は、剥離層を介して、複数の薄膜集積回路が形成された絶縁基板と、前記絶縁基板と対向して設けられたアンテナ用基板とを有し、前記アンテナ用基板は、アンテナ及び開口部を有し、前記開口部と一致するように、前記薄膜集積回路間に溝が設けられていることを特徴とする。

【0015】

また別の構造を有する素子基板は、剥離層を介して、複数の薄膜集積回路が形成された絶縁基板と、前記絶縁基板と対向して設けられたアンテナ用基板とを有し、前記アンテナ用基板は、アンテナ及び開口部を有し、前記開口部と一致するように、前記薄膜集積回路間に溝が設けられていることを特徴とする。

【0016】

また別の構造を有する素子基板は、剥離層を介して、複数の薄膜集積回路が形成された絶縁基板と、接続領域により前記複数の薄膜集積回路は一体化されており、前記絶縁基板と対向して設けられたアンテナ用基板とを有し、前記アンテナ用基板は、アンテナ及び開口部を有し、前記開口部と一致するように、前記薄膜集積回路間に溝が設けられ、かつ前記薄膜集積回路内に開口部が設けられていることを特徴とする。

【発明の効果】

【0017】

このような絶縁基板にIDFチップを形成する場合、円形のシリコンウェハからチップを取り出す場合と比較して、母体基板形状に制約がない。そのため、IDFチップの生産性を高め、大量生産を行うことができる。その結果、IDFチップのコストを削減できる。単価が非常に低いIDFチップは、単価コストの削減により非常に大きな利益を生むことができる。

【0018】

例えば、直径12インチのシリコンウェハを用いた場合と、 $7300 \times 9200 \text{ mm}^2$ のガラス基板を用いた場合とで取り数等を比較する。前者のシリコン基板の面積は約730

0.0 mm²であるが、後者のガラス基板の面積は約 672000 mm²であり、ガラス基板はシリコン基板の約 9.2 倍に相当する。後者のガラス基板の面積は約 672000 mm²では、基板の分断により消費される面積を無視すると、1 mm四方の ID タグが約 672000 個形成できる計算になり、該個数はシリコン基板の約 9.2 倍の数に相当する。そして ID タグの量産化を行なうための設備投資は、7300 × 9200 mm² のガラス基板を用いた場合の方が直径 12 インチのシリコン基板を用いた場合よりも工程数が少なくて済むため、額を 3 分の 1 で済ませることができる。

【0019】

このようにばらばらに分離することなく IDF チップを作製することにより、途中で装置の排気系に詰まる心配がなく、非常に小さな IDF チップの取り扱いの煩雑さを低減することができる。また、大型基板に形成された薄型の IDF チップは、応力により反ってしまう恐れがある。しかし IDF チップを一体化した状態で作製することにより、反りを防止することができる。特に、IDF チップ間に接続領域を設けると、反り防止効果を高めることができる。

【発明を実施するための最良の形態】

【0020】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる形態で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0021】

(実施の形態 1)

本実施の形態では、アンテナ用基板を張り合わせた後に、剥離層を除去する形態について説明する。

【0022】

図 1 (A) に示すように、絶縁基板 100 に、剥離層 102、半導体膜を能動領域として有する薄膜トランジスタ (TFT とも表記する) 層 103 を順次形成し、IDF チップ 104 を複数形成する。なお TFT 層の構造の詳細は、後述するが、半導体膜は、0.2 μm 以下、代表的には 40 nm ~ 170 nm、好ましくは 50 nm ~ 150 nm の膜厚とする。

【0023】

このように非常に薄い半導体膜を能動領域として有しているため、シリコンウェハから形成されるチップと比較して、IDF チップの薄型化を達成することができる。具体的な IDF チップの厚みは 0.3 μm ~ 3 μm、代表的には 2 μm 程度となる。

【0024】

このとき、IDF チップの境界の TFT 層に溝 105 を形成する。溝は、ダイシング、スクライビング又はマスクを利用したエッティング等によって行うことができる。このとき溝は、剥離層が露出する深さとなるように形成する。なお溝は必ずしも、各 IDF チップ間に形成する必要はなく、複数の IDF チップ間隔で形成してもよい。

【0025】

また図 21 (A) に示すように、TFT 層 103 中に開口部 108 を形成してもよい。このとき開口部は、半導体膜が設けられている領域以外に形成する必要がある。このような開口部を溝と合わせて使用することにより、溝の大きさを小さくすることが可能となったり、剥離層の除去に要する時間を短縮することができる。

【0026】

絶縁基板としては、バリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板等が挙げられる。またその他の絶縁表面を有する基板としては、ポリエチレン-テレフタレート (PET)、ポリエチレンナフタレート (PEN)、ポリエー

テルサルフォン (PES) に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板がある。また、ステンレスなどの金属または半導体基板などの表面に酸化珪素や窒化珪素などの絶縁膜を形成した基板なども用いることができる。このような絶縁基板は、円形のシリコンウェハからチップを取り出す場合と比較して、母体基板形状に制約がなく、IDFチップの低コスト化を達成することができる。

【0027】

剥離層としては、珪素を有する膜であればよく、その状態は、非晶質半導体、非晶質状態と結晶状態とが混在したセミアモルファス半導体 (SASとも表記する)、及び結晶性半導体のいずれでもよい。なおSASは、非晶質半導体中に0.5 nm～20 nmの結晶粒を観察することができる微結晶半導体が含まれる。これらの剥離層は、スパッタリング法、又はプラズマCVD法等によって形成することができる。また剥離層は、30 nm～1 μmの膜厚とすればよく、剥離層の成膜装置の薄膜形成限界が許容すれば、30 nm以下とすることも可能である。

【0028】

また剥離層には、リンやボロン等の元素を添加してもよい。さらに加熱等により当該元素を活性化させてもよい。元素を添加することにより、剥離層の反応速度、つまりエッチングレートを改善することができる。

【0029】

またTFT層がエッチングされないために、剥離層上には下地膜を形成する。下地膜は、酸化珪素 (SiO_x)、窒化珪素 (SiNx)、酸化窒化珪素 (SiO_xN_y) (x > y)、窒化酸化珪素 (SiN_xO_y) (x > y) (x, y = 1, 2, ...) 等の酸素、又は珪素を有する絶縁膜の単層構造、又はこれらの積層構造を有する。

【0030】

アンテナ用基板111には、所定の形状を有するアンテナ112が複数設けられ、適宜開口部113が設けられている。開口部の形状は、円状 (所謂穴に相当)、矩形状 (所謂スリットに相当) 等である。また開口部は、溝105の配置と重なるように形成するとよい。

【0031】

このような絶縁基板100と、アンテナ用基板111とを接着剤等により張り合わせる。接着剤は、導電体が分散した異方性導電体、超音波接着剤、又は紫外線硬化樹脂を使用することができる。

【0032】

その後図1 (B) に示すように、アンテナ用基板が張り合わされた状態で、開口部及び溝へ、エッチング剤115を導入し、剥離層を除去する。エッチング剤としては、ハロゲン化フッ素を含む気体又は液体を使用する。

【0033】

剥離層を除去後、絶縁基板を剥離する。その後、各IDFチップをダイシング、スクライビング、又はレーザカット法により切断する。例えば、ガラス基板に吸収されるレーザー、例えばCO₂レーザーを使用して切断することができる。またIDFチップの側面等の周囲に、エポキシ樹脂等の有機樹脂を充填してもよい。その結果、IDFチップは外部から保護され、持ち運びしやすい形態となる。このように形成されるIDFチップは、5 mm四方 (25 mm²) 以下、好ましくは0.3 mm四方 (0.09 mm²) ～4 mm四方 (16 mm²) とすることができます。

【0034】

このような本発明のIDFチップは、絶縁表面を有さない状態で完成とし、物品へ実装することができる。そのため、IDFチップ、及び実装する物品に対しても薄膜化、及び軽量化を達成することができる。

【0035】

また、別途転写用基板に移し替えた状態で実装してもよい。転写用基板は、フレキシブル基板が好ましい。フレキシブル基板には、ポリエチレン-テレフタレート (PET)、ポ

リエチレンナフタレート（PEN）、ポリエーテルサルファン（PES）に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板を用いることができる。

【0036】

フレキシブル基板を接着する接着剤としては、熱硬化樹脂、紫外線硬化樹脂、エポキシ樹脂系接着剤、樹脂添加剤等の接着剤又は両面テープ等を用いることができる。

【0037】

フレキシブル基板へ移し替える結果、IDFチップの破壊強度を高めることができる。また絶縁基板上に形成されたIDFチップと比べて、軽量化、薄型化を達成でき、可撓性を高めることができる。

【0038】

また、剥離された絶縁基板は再利用することができる。その結果、IDFチップの低コスト化を達成することができる。再利用する場合、溝を形成するためのダイシングやスクライビング等において、絶縁基板に傷が生成されないように制御するのが望ましい。しかし、傷が生成された場合であっても、有機樹脂や無機膜を塗布法や液滴吐出法によって形成し、平坦化処理を行うことができる。なお液滴吐出法とは、導電膜や絶縁膜などの材料が混入された組成物の液滴（ドットとも表記する）を選択的に吐出（噴出）する方法であり、その方式によっては、インクジェット法とも呼ばれる。

【0039】

このような絶縁表面を有する基板にIDFチップを形成する場合、円形のシリコンウェハからチップを取り出すシリコンウェハで作製されたチップと比較して、母体基板形状に制約がない。そのため、IDFチップの生産性を高め、大量生産を行うことができる。さらに絶縁基板を再利用することができるため、コストを削減することができる。その結果、IDFチップのコストの削減を達成できる。

【0040】

またIDFチップは、シリコンウェハからなるチップと異なり、0.2 μm以下の半導体膜を能動領域として有し、非常に薄型となることを特徴とする。このような薄型IDFチップの強度を高める場合、フレキシブル基板に移し替える方法をとることもできる。このような薄型、軽量、又はフレキシブル性の高いIDFチップは、シリコンウェハから形成されるチップと比較して破損しにくい特徴を有する。

【0041】

IDFチップは、シリコンウェハから形成されるチップと比較して、電波吸収の心配がなく、高感度な信号の受信を行うことができる。さらにIDFチップは、シリコンウェハを有さないため、透光性を有することができる。

【0042】

なお本実施の形態では、IDFチップをアンテナと張り合わせる場合について説明したが、IDFチップ上にアンテナを直接形成してもよい。アンテナ用基板ではなく、アンテナが形成されない絶縁基板に開口部を形成して、IDFチップがばらばらに分離することを防ぐことができ、本発明の効果を奏すことができる。

【0043】

また詳しく述べると、IDFチップは、アンテナが実装されている非接触型IDFチップ（無線タグとも呼ばれる）と、アンテナは実装せずに外部電源と接続する端子を形成した接触型IDFチップと、非接触型及び接触型とを混在したハイブリッド型IDFチップがある。

【0044】

本実施の形態では、非接触型IDFチップについて説明したが、接触型IDFチップ、及びハイブリッド型IDFチップのいずれでもよい。アンテナを有さない接触型IDFチップであっても、アンテナ用基板ではなく、アンテナが形成されない絶縁基板に開口部を形成して、IDFチップがばらばらに分離することを防ぐことができ、本発明の効果を奏すことができる。

【0045】

(実施の形態2)

本実施の形態では、溝を選択的に形成し、IDFチップ間に設けられた絶縁膜、又は導電膜等を一部残す形態について説明する。

【0046】

図8 (A) に示すように、実施の形態1と同様に、絶縁基板100に、剥離層102、TFT層103を順次形成し、複数のIDFチップ104を形成する。なおTFT層の詳細は、後述する。

【0047】

このとき、IDFチップの境界に形成される溝105を選択的に形成するため、IDFチップ間に絶縁膜、又は導電膜等が残留する。このようなIDFチップ間にある絶縁膜、又は導電膜等を接続領域106と表記する。なお接続領域は、IDFチップ間が一体となるようにつなぎ止める機能を有すればよく、単層構造でも、積層構造を有してもよい。

【0048】

また図21 (B) に示すように、TFT層103中に開口部108を形成してもよい。このとき開口部は、半導体膜が設けられている領域以外に形成する必要がある。このような開口部を溝と合わせて使用することにより、溝の大きさを小さくすることが可能となり、剥離層の除去に要する時間を短縮することができる。

【0049】

次いで図8 (B) に示すように、溝105へエッチング剤115を導入し、剥離層を除去する。エッチング剤としては、実施の形態1と同様に、ハロゲン化フッ素を含む気体又は液体を使用することができる。

【0050】

このとき、接続領域106の下方に設けられた剥離層まで除去されるように、反応時間、及び導入量を調整する。このとき接続領域下方の剥離層は、後退するようにして除去される。その結果、絶縁基板を剥離するが、接続領域により各IDFチップは一体化されているため、ばらばらに離れてしまうことはない。

【0051】

また、剥離された絶縁基板は、実施の形態1と同様に再利用することができる。

【0052】

その後図8 (C) に示すように、必要に応じてアンテナを設ける。本実施の形態では、アンテナ用基板111に形成されたアンテナ112を張り合わせる。このとき、アンテナ用基板に開口部は形成されていなくともよい。

【0053】

その後、各IDFチップをダイシング、スクライビング、又はレーザカット法により切断する。例えば、ガラス基板に吸収されるレーザー、例えばCO₂レーザーを使用して切断することができる。その後実施の形態1と同様に、IDFチップの側面等の周囲にエポキシ樹脂等の有機樹脂をコーティングしてもよい。

【0054】

本実施の形態は、IDFチップは転写用基板に移し替えることなく完成することができるがため、IDFチップ、及び実装する物品を薄膜化、及び軽量化を達成することができる。また実施の形態1と同様に、転写用基板に移し替えててもよい。

その結果、IDFチップの破壊強度を高めることができる。

【0055】

(実施の形態3)

本実施の形態では、実施の形態1で示した開口部を有するアンテナ用基板と、実施の形態2で示したIDFチップ間に接続領域を有する絶縁基板とを張り合わせる形態について説明する。

【0056】

図20 (A) に示すように、実施の形態2と同様に、絶縁基板100上に、剥離層102

、TFT層103を順次形成し、IDFチップ104間に接続領域106を有するように選択的に溝105を形成する。

【0057】

その後、実施の形態1と同様に、アンテナ112及び開口部113が形成されたアンテナ用基板111を張り合わせる。このとき、溝105と、開口部113が一致するように張り合わせるとよい。

【0058】

図20（B）に示すように、開口部及び溝へエッチング剤115を導入する。すると、剥離層が除去され、絶縁基板100を剥離することができる。このとき、接続領域及びアンテナ用基板により、IDFチップは一体化されているため、ばらばらに分離することができない。

【0059】

本実施の形態では、アンテナ用基板を張り合わせた後にエッチング剤を導入する場合を説明したが、張り合わせる前にエッチング剤を導入しても構わない。その場合であっても、接続領域によりIDFチップが一体化されているため、ばらばらに分離することなく、絶縁基板を剥離することができる。

【0060】

その後、各IDFチップをダイシング、スクライビング、又はレーザカット法により切断する。例えば、ガラス基板に吸収されるレーザー、例えばCO₂レーザーを使用して切断することができる。

【0061】

その後実施の形態1と同様に、IDFチップの側面等の周囲にエポキシ樹脂等の有機樹脂をコーティングしてもよい。

【0062】

本実施の形態は、IDFチップは転写用基板に移し替えることなく完成することができるが、実施の形態1と同様に、転写用基板に移し替えるてもよい。

その結果、IDFチップの破壊強度を高めることができる。

【実施例1】

【0063】

本実施例では、実施の形態1に示した形態の具体的な方法について説明する。

【0064】

図2（A）には絶縁基板100に12個のIDFチップを形成する場合の上面図を、図2（B）にはa-bにおける断面図を示す。

【0065】

図2（B）に示すように、絶縁基板100上に剥離層102を介して設けられたTFT層は、絶縁膜、所望の形状にパターニングされた半導体膜124、ゲート絶縁膜として機能する絶縁膜（以下、ゲート絶縁膜）125を介して設けられたゲート電極として機能する導電膜（以下、ゲート電極と表記する）126を有する薄膜トランジスタ128n、128pを有する。また半導体膜はチャネル形成領域、及び不純物領域（ソース領域、ドレイン領域、GOLD領域、LDD領域を含む）を有し、添加される不純物元素の導電型によりnチャネル型薄膜トランジスタ128n、又はpチャネル型薄膜トランジスタ128pと区別することができる。そして各不純物領域と接続するように形成された配線130を有する。

【0066】

本実施例では、剥離層に30nm～1μm、好ましくは30nm～50nmの膜厚を有するSASを用いるが、上述したその他の材料を用いても構わない。

【0067】

絶縁膜は、積層構造を有してもよく、本実施例では第1の絶縁膜121、第2の絶縁膜122、第3の絶縁膜123を有する。例えば第1の絶縁膜として酸化珪素膜、第2の絶縁膜として酸化窒化珪素膜、第3の絶縁膜として酸化珪素膜を用いる。これは、基板等から

の不純物拡散を考えると、酸化珪化珪素膜を用いると好ましいが、当該酸化珪化珪素膜は剥離層、及び半導体膜との密着性が低いことが懸念される。そこで、剥離層、半導体膜、及び酸化珪化珪素膜との密着性の高い酸化珪素膜を設けるとよい。

【0068】

半導体膜124は、非晶質半導体、非晶質状態と結晶状態とが混在したSAS、非晶質半導体中に0.5nm～20nmの結晶粒を観察することができる微結晶半導体、及び結晶性半導体から選ばれたいずれの状態を有してもよい。

【0069】

また成膜処理温度に耐えうる基板、例えば石英基板を使用するならば、当該基板へCVD法等により結晶性半導体膜を形成してもよい。

【0070】

本実施例では、非晶質半導体膜を形成し、加熱処理により結晶化された結晶性半導体膜を形成する。加熱処理とは、加熱炉、レーザー照射、若しくはレーザー光の代わりにランプから発する光の照射（以下、ランプアニールと表記する）、又はそれらを組み合わせて用いることができる。

【0071】

レーザー照射を用いる場合、連続発振型のレーザー（CWレーザー）やパルス発振型のレーザー（パルスレーザー）を用いることができる。レーザーとしては、Arレーザー、Krレーザー、エキシマレーザー、YAGレーザー、Y₂O₃レーザー、YVO₄レーザー、YLFレーザー、YAlO₃レーザー、ガラスレーザー、ルビーレーザー、アレキサンドライドレーザー、Ti:サファイヤレーザー、銅蒸気レーザーまたは金蒸気レーザーのうち一種または複数種を用いることができる。このようなレーザーの基本波、及び当該基本波の第2高調波から第4高調波のレーザーを照射することで、大粒径の結晶を得ることができる。例えば、Nd:YVO₄レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を用いることができる。このときレーザーのエネルギー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）が必要である。そして、走査速度を10～2000cm/sec程度として照射する。

【0072】

このとき例えば図23（A）に示すような光学系を用い、CWレーザーを用いて結晶化を行う。まず、レーザー発振器290から射出されるCWレーザービームが光学系291により長く引き伸ばされ、線状に加工される。具体的には、光学系291が有するシリンドリカルレンズや凸レンズを、レーザービームが通過すると線状に加工することができる。このときスポットの長軸の長さが、200～350μmとなるように加工するとい。

【0073】

その後、線状に加工されたレーザービームは、ガルバノミラー293と、fθレンズ294とを介して半導体膜124へ入射する。このとき線状レーザーは、半導体膜上に所定の大きさのレーザースポット282を形成するように調整されている。またfθレンズ294により、ガルバノミラーの角度によらず、被照射物表面において、レーザースポット282の形状を一定とすることができます。

【0074】

このときガルバノミラーの振動を制御する装置（制御装置）296によりガルバノミラーが振動、つまりミラーの角度が変化するようになっており、レーザースポット282は、一方向（例えば、図中のX軸方向）に移動する。例えばガルバノミラーが半周期振動すると、レーザービームが半導体膜上のX軸方向に一定幅移動するように調節されている（往路）。

【0075】

そして、半導体膜はXYステージ295によりY軸方向へ移動する。そして同様に、ガルバノミラーにより、レーザースポットが半導体膜上のX軸方向に移動する（復路）。このようなレーザービームの往復運動を用いて、経路283をレーザースポットが移動し、レーザーランプアニールが行われる。

【0076】

このとき図23 (B) に示すように、当該薄膜トランジスタは、キャリアの移動方向281と、レーザービームの長軸への移動方向(走査方向)とが沿うようにレーザーアニールを行う。例えば図23 (B) に示す形状を有する半導体膜230の場合、レーザービームの長軸への移動方向(走査方向)と平行となるように、半導体膜に形成されるソース領域230 (s)、チャネル形成領域230 (c)、ドレイン領域230 (d)を配置する。その結果、キャリアが横切る粒界を少なくする又はなくすことができるため、薄膜トランジスタの移動度を高めることができる。

【0077】

またさらにレーザーの入射角を、半導体膜に対して θ ($0 < \theta < 90$ 度) となるようにしてもよい。その結果、レーザーの干渉を防止することができる。

【0078】

なお連続発振の基本波のレーザー光と連続発振の高調波のレーザー光とを照射するよりもよいし、連続発振の基本波のレーザー光とパルス発振の高調波のレーザー光とを照射するよりもよい。複数のレーザー光を照射することにより、エネルギーを補うことができる。

【0079】

またパルス発振型のレーザーであって、半導体膜がレーザー光によって溶融してから固化するまでに、次のパルスのレーザー光を照射できるような発振周波数でレーザー光を発振させることで、走査方向に向かって連続的に成長した結晶粒を得ることができる。すなわち、パルス発振の周期が、半導体膜が溶融してから完全に固化するまでの時間よりも短くなるように、発振の周波数の下限を定めたパルスビームを使用することができる。

【0080】

実際に用いることができるパルスビームの発振周波数は10MHz以上であって、通常用いられている数十Hz～数百Hzの周波数帯よりも著しく高い周波数帯を使用する。

【0081】

なお、希ガスや窒素などの不活性ガス雰囲気中でレーザー光を照射するようにしてもよい。これにより、レーザー光照射による半導体表面の荒れを抑えることができ、界面準位密度のばらつきによって生じる閾値のばらつきを抑えることができる。

【0082】

またSiH₄とF₂、又はSiH₄とH₂を用いて微結晶半導体膜を形成し、その後上記のようなレーザー照射をおこなって結晶化してもよい。

【0083】

その他の加熱処理として、加熱炉を用いる場合、非晶質半導体膜を500～550℃で2～20時間かけて加熱する。このとき、徐々に高温となるように温度を500～550℃の範囲で多段階に設定するとよい。最初の低温加熱工程により、非晶質半導体膜の水素等が出てくるため、結晶化の際の膜荒れを低減する、いわゆる水素だしを行うことができる。さらに、結晶化を促進させる金属元素、例えばNiを非晶質半導体膜上に形成すると、加熱温度を低減することができ好ましい。このような金属元素を用いた結晶化であっても、600～950℃に加熱しても構わない。

【0084】

但し、金属元素を形成する場合、半導体素子の電気特性に悪影響を及ぼすことが懸念されるので、該金属元素を低減又は除去するためのゲッタリング工程を施す必要が生じる。例えば、非晶質半導体膜をゲッタリングシンクとして金属元素を捕獲するよう工程を行えばよい。

【0085】

また直接被形成面に、結晶性半導体膜を形成してもよい。この場合、GeF₄、又はF₂等のフッ素系ガスと、SiH₄、又はSi₂H₆等のシラン系ガスとを用い、熱又はプラズマを利用して直接被形成面に、結晶性半導体膜を形成することができる。このように直接結晶性半導体膜を形成する場合であって、高温処理が必要となるときは、耐熱性の高い石英

基板を用いるとよい。

【0086】

このように半導体膜に加熱する工程により、剥離層へ加熱の影響があると考えられる。例えば、炉を用いた加熱処理を行う場合や、532 nmの波長を用いてレーザー照射を行う場合、剥離層までエネルギーが到達することがある。その結果、剥離層も同時に結晶化されことがある。このような剥離層の結晶化状態にあっても、反応速度を改善することができる。

【0087】

一方、効率よく半導体膜を結晶化するため、剥離層へレーザーによるエネルギーを到達させないように、下地膜の構造を選択することもできる。例えば、下地膜の材料、膜厚、積層順を選択する。

【0088】

以上に示したいずれかの手段により形成される半導体膜は、シリコンウェハから形成されるチップと比べて多くの水素を有する。具体的には、水素を $1 \times 10^{19} \sim 1 \times 10^{22} / \text{cm}^3$ 、好ましくは $1 \times 10^{19} \sim 5 \times 10^{20} / \text{cm}^3$ 有するように形成することができる。この水素により、半導体膜中の欠陥を緩和する、所謂欠陥のターミネート効果を奏すことができる。加えて水素により、IDFチップの柔軟性を高めることができる。

【0089】

さらに、パターニングされた半導体膜がIDFチップにおいて占める面積の割合を、1～30%とすることで、曲げ応力による薄膜トランジスタの破壊や剥がれを防止することができる。

【0090】

このような半導体膜を有する薄膜トランジスタのサブシュレッド係数（S値）は、0.35 V/秒以下、好ましくは0.25～0.09 V/秒となる。また当該薄膜トランジスタの移動度は、 $10 \text{ cm}^2 \text{ V} / \text{秒}$ 以上となる。

【0091】

このようなTFTを用いて19段リングオシレータを構成した場合において、電源電圧3～5 Vにおいて、その発振周波数は1 MHz以上、好ましくは100 MHz以上 の特性を有する。電源電圧3～5 Vにおいて、インバータ1段あたりの遅延時間は2.6 ns、好ましくは0.26 ns以下を有する。

【0092】

以上の構造によりTFTとしての機能を奏することは可能であるが、好ましくは第1の層間絶縁膜127、第2の層間絶縁膜129を形成するとよい。第1の層間絶縁膜からの水素により、半導体膜のダメージ、欠陥等を補修することができる。すなわち水素による欠陥のターミネーション効果を奏すことができる。このような第1の層間絶縁膜としては、酸化珪素（SiO_x）、窒化珪素（SiN_x）、酸化窒化珪素（SiO_xN_y）（x>y）、窒化酸化珪素（SiN_xO_y）（x>y）（x, y=1, 2, ..., ）等の酸素、又は窒素を有する絶縁膜を用いることができる。

【0093】

また第2の層間絶縁膜により平坦性を高めることができる。このような第2の層間絶縁膜は、有機材料や無機材料を用いることができる。有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン、シロキサン、ポリシラザンを用いることができる。シロキサンとは、珪素（Si）と酸素（O）との結合で骨格構造が構造され、置換基に少なくとも水素を含む、又は置換基にフッ素、アルキル基、又は芳香族炭化水素のうち少なくとも1種を有するポリマー材料、を出発原料として形成される。またポリシラザンとは、珪素（Si）と窒素（N）の結合を有するポリマー材料、いわゆるポリシラザンを含む液体材料を出発原料として形成される。無機材料としては、酸化珪素（SiO_x）、窒化珪素（SiN_x）、酸化窒化珪素（SiO_xN_y）（x>y）、窒化酸化珪素（SiN_xO_y）（x>y）（x, y=1, 2, ..., ）等の酸素、又は窒素を有する絶縁膜を用いることができる。また、第2の層間絶縁膜として、これ

ら絶縁膜の積層構造を用いててもよい。特に、有機材料を用いて第2の層間絶縁膜を形成すると、平坦性は高まる一方で、有機材料によって水分や酸素が吸収されてしまう。これを防止するため、有機材料上に、無機材料を有する絶縁膜を形成するとよい。無機材料に、窒素を有する絶縁膜を用いると、Na等のアルカリイオンの侵入を防ぐことができる。

【0094】

更に好ましくは、配線130を覆うように第4の絶縁膜131を設けるとよい。IDFチップが実装される物品は、手で触ることが多いため、Na等のアルカリイオンの拡散が懸念される。そのため、IDFチップの最上面に第4の絶縁膜を形成すると好ましい。第4の絶縁膜としては、酸化珪素(SiO_x)、窒化珪素(SiNx)、酸化窒化珪素(SiO_xN_y) (x > y)、窒化酸化珪素(SiNxO_y) (x > y) (x, y = 1, 2, ...,)等の酸素、又は窒素を有する絶縁膜を用いることができるが、代表的には窒化酸化珪素(SiNxO_y)を用いるとよい。

【0095】

その後、IDFチップ104間に溝105を形成する。溝は、ダイシング、スクライビング又はマスクを利用したエッティング等によって行うことができる。ダイシングの場合には、ダイシング装置(ダイサー；dicer)を用いるブレードダイシング法が一般的である。ブレード(blade)とは、ダイヤモンド砥粒を埋め込んだ砥石で、その幅は約30~50μmであり、このブレードを高速回転させることにより、TFT層を分離する。また、スクライビングの場合には、ダイヤモンドスクライビング法とレーザースクライビング法等がある。また、エッティングの場合には、露光、現像工程によりマスクパターンを形成し、ドライエッティング、ウェットエッティング等によりTFT層を分離することができる。ドライエッティングにおいては、大気圧プラズマ法を用いてもよい。このようにしてIDFチップ間に、溝を形成する。

【0096】

なお溝は必ずしも、各IDFチップ間に形成する必要はなく、複数のIDFチップ間に形成してもよい。

【0097】

次に図3に示すように、アンテナ用基板を張り合わせる。

図3(A)にはアンテナ用基板111を張り合わせた状態の上面図を、図3(B)にはa-bにおける断面図を示す。

【0098】

張り合わせる手段として、導電体140が分散している異方性導電体141がある。異方性導電体は、IDFチップの接続端子及びアンテナの接続端子が設けられた領域では、当該導電体が各接続端子の厚みにより圧着されるため、導通をとることができ。その他の領域では、当該導電体が十分な間隔を保っているため、導通することはない。異方性導電体の他に、超音波接着剤、紫外線硬化樹脂、又は両面テープ等を用いて張り合わせてもよい。

【0099】

またアンテナ用基板111には、IDFチップに対応する位置にアンテナ112、及び開口部113が設けられている。図3(B)に示すように、開口部113は溝105に対応する位置に設けられている。アンテナ及び開口部の作製工程の詳細は後述する。

【0100】

なお本実施例では、開口部が各アンテナ間に設けられる場合を説明したが、複数のアンテナ間に設けてもよい。また本実施例では、開口部は円形状となる場合を説明したが、これに限定されない。例えば、スリット状となるように開口部を形成してもよい。このように溝105、及び開口部113の形状や配置は、適宜設定することができる。

【0101】

次に図4に示すように、エッティング剤としてハロゲン化フッ素を含む気体又は液体を導入することにより剥離層を除去する。ここでは、図24に示すような減圧CVD装置89を用い、ガス：C₁F₃(三フッ化塩素)、温度：350℃、流量：300sccm、気圧

：6 Torr、時間：3 h の条件で剥離層を除去するが、この条件に限定されるものではない。また図24に示す減圧CVD装置は、複数の絶縁基板100を処理することができるようなベルジャーナルを有する。そして、ガス導入管よりC1F₃ 115が導入され、排気管92より不要なガスが排気される。このとき、アンテナ用基板によりIDFチップが一体化されているため、排気管へ吸い込まれる恐れがない。さらに当該装置の側面には加熱手段、例えばヒータ91を設けてもよい。

【0102】

図4 (A) にはハロゲン化フッ素を含む気体又は液体を導入し、剥離層を除去している状態の上面図を、図4 (B) にはa-bにおける断面図を示す。

【0103】

図4 (B) には、ハロゲン化フッ素を含む気体又は液体を開口部113及び溝105へ導入する状態を示している。このとき、加熱手段により処理温度を100°C~300°Cとすると反応速度を高めることができる。その結果、C1F₃ガスの使用量を少なくすることができ、処理時間を短縮することもできる。

【0104】

このようなエッティング剤の導入により、剥離層であるSASを徐々に後退させて、絶縁基板を矢印に示すように除去することができる。

【0105】

このとき、TFTの各層がエッティングされないようにエッティング剤、ガス流量、温度等を設定する。本実施例で用いるC1F₃は、珪素を選択的にエッティングする特性があるため、剥離層であるSASを選択的に除去する。そのため剥離層には、SASを代表とする珪素を主成分とする層を用い、下地膜に酸素、又は窒素を有する絶縁膜を用いる。これらの反応速度の差、つまり選択比が高いため、IDFチップを保護しつつ、剥離層を容易に除去することができる。本実施例では、TFT層の上下に設けられた酸化窒化珪素等、側面に露出する層間絶縁膜、ゲート絶縁膜、配線等の端部により、TFT層が、C1F₃によりエッティングされることはない。

【0106】

なお、C1F₃は、塩素を200°C以上でフッ素と反応させることにより、C1₂(g) + 3F₂(g) → 2C1F₃(g)の過程を経て生成することができる。またC1F₃は、反応空間の温度によっては液体の場合もあり（沸点11.75°C）、その際にはハロゲン化フッ素を含む液体としてウェットエッティングを採用することもできる。

【0107】

他のハロゲン化フッ素を含む気体として、C1F₃等に窒素を混合したガスを用いてよい。

【0108】

また、剥離層をエッティングし、下地膜をエッティングしないようなエッチャントであれば、C1F₃に限定されるものでなく、またハロゲン化フッ素に限定されるものでもない。例えば、CF₄、SF₆、NF₃、F₂等のフッ素を含む気体をプラズマ化して用いることができる。他のエッティング剤として、テトラエチルアンモニウムハイドロオキサイド(TMAH)のような強アルカリ溶液を用いてよい。

【0109】

さらに、C1F₃等のハロゲン化フッ素を含む気体によって化学的に除去する場合、選択的にエッティングされる材料を剥離層として用い、エッティングされない材料を下地膜として用いるという条件に従うならば、剥離層及び下地膜の組合せは、上記材料に限定されるものではない。

【0110】

このように絶縁基板が除去されても、アンテナ用基板によって各IDFチップは一体化された状態となる。その後、各IDFチップをダイシング、スクライビング、又はレーザカット法により切断し、IDFチップが完成する。そして、IDFチップを物品に実装すればよい。このときに使用する接着剤は、熱硬化樹脂、紫外線硬化樹脂、エポキシ樹脂系接

着剤、樹脂添加剤等の接着剤又は両面テープ等を用いることができる。

【0111】

以上の工程によりIDFチップを完成することができるが、図5に示すように、フレキシブル基板を接着してもよい。図5（A）にはフレキシブル基板150を接着剤151により接着した状態の上面図を、図5（B）にはa-bにおける断面図を示す。

【0112】

フレキシブル基板には、上述のようなプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板を用いることができるが、本実施例ではプラスチックを有する合成樹脂からなる基板を用いる。

【0113】

接着剤としては、熱硬化樹脂、紫外線硬化樹脂、エポキシ樹脂系接着剤、樹脂添加剤等の接着剤又は両面テープ等を用いることができる。

【0114】

フレキシブル基板へ移し替えることにより、IDFチップの破壊強度を高めることができる。

【0115】

その後図6に示すように、各IDFチップをダイシング、スクライビング、又はレーザカット法により切断し、フレキシブル基板上に形成されたIDFチップが完成する。図6（A）にはIDFチップを切断した状態の上面図を、図6（B）にはa-bにおける断面図を示す。

【0116】

このように形成されたIDFチップを、物品に実装すればよい。このときに使用する接着剤は、熱硬化樹脂、紫外線硬化樹脂、エポキシ樹脂系接着剤、樹脂添加剤等の接着剤又は両面テープ等を用いることができる。

【0117】

このように完成する直前まで一体化されたIDFチップは、ばらばらに分離する煩雑さを低減することができる。また物品への実装時まで一体化しておいてもよい。例えばIDFチップを一方向のみ切断し、連なった状態で、IDFチップ取り付け用装置へ搭載し、物品への実装時に他方向の切断を行うことにより、IDFチップがばらばらに分離する煩雑さが低減し、簡便な実装を行うことができる。

【0118】

また図示しないが、IDFチップを保護するために、樹脂や窒素を有する絶縁膜で覆ってもよく、特にIDFチップの側面に充填するとよい。保護することにより、IDFチップの携帯性が向上する。このときの樹脂や窒素を有する絶縁膜は、IDFチップを実装する物品の材料であってもよい。

【0119】

本実施例では異方性導電体により、IDFチップの接続端子がアンテナ側を向いている、所謂フェイスダウンで実装する場合を説明したが、アンテナと反対側を向いている、所謂フェイスアップで実装してもよい。このとき接続する手段にワイヤボンディング法を用いることができる。

【0120】

以上、基板200上に薄膜トランジスタを形成後、絶縁基板200を剥離し、好ましくはさらにフレキシブル基板へ移し替える形態を説明したが、剥離するタイミング又は回数は、本実施例に限定されない。また移し替える先は、フレキシブル基板に限定されず、実装する物品（実装物品）であってもよい。また移し替える回数によりIDFチップが、フェイスアップ状態となるか、又はフェイスダウン状態となるかを決めることができる。

【0121】

次いで図7を用いて、アンテナの作製工程について説明する。図7では、アンテナ用基板へ矩形状に巻かれたアンテナを形成する場合を説明するが、アンテナの形状はこれに限定されない。例えば、円状、又は線状のアンテナであってもよい。

【0122】

アンテナ用基板はバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、ポリエチレン-テレフタレート（P E T）、ポリエチレンナフタレート（P E N）、ポリエーテルサルファン（P E S）に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板を用いることができる。アンテナ用基板の厚みは薄い方が好ましいため、フィルム状の基板が好ましい。

【0123】

図7（A）に示すように、アンテナ用基板111にノズル160を用いた液滴吐出法によりアンテナ112を形成する。また液滴吐出法以外に、スパッタリング法、印刷法、メッキ法、フォトリソグラフィー法及びメタルマスクを用いた蒸着法のいずれか、又はそれらを組み合わせた方法により形成することができる。例えば、スパッタリング法、液滴吐出法、印刷法、フォトリソグラフィー法及び蒸着法のいずれかにより第1のアンテナを形成し、メッキ法により第1のアンテナを覆うように第2のアンテナを形成する、積層型アンテナを形成することもできる。液滴吐出法、又は印刷法によりアンテナを形成する場合、導電膜をバターニングする必要がないため、作製工程を低減することができ好ましい。

【0124】

またアンテナには、接続端子135を形成するとよい。当該接続端子により、簡便に薄膜集積回路と接続することができる。接続端子は、ノズルから吐出される液滴を多くしたり、ノズルを留めることにより形成することができる。なお接続端子は、必ずしも設ける必要はなく、本実施例の形状及び配置に限定されるものではない。

【0125】

アンテナ材料には、A g（銀）、A l（アルミニウム）、A u（金）、C u（銅）、P t（白金）等の導電材料を用いることができる。比較的抵抗の高いA lやA uを用いる場合、配線抵抗が懸念される。しかし、アンテナを厚くしたり、アンテナ形成面積が広い場合には、アンテナの幅を広くすることで配線抵抗を低減することができる。また積層型アンテナとし、抵抗の低い材料で覆ってもよい。C uのように拡散が懸念される導電材料は、アンテナの被形成面及び／又はC uの周囲を覆うように絶縁膜を形成するとよい。

【0126】

本実施例では、溶媒としてテトラデカンに混入されたA gをノズル260より滴下して、アンテナを形成する。このときA gの密着性を高めるため、アンテナ用基板上に酸化チタン（T i O x）からなる下地膜を形成してもよい。

【0127】

更に好ましくは、形成されたアンテナに圧力を加え、平坦性を向上させるとよい。その結果、アンテナを薄膜化することができる。加圧手段に加えて、加熱手段を有してもよく、加圧処理と加熱処理とを同時にを行うことができる。特に液滴吐出法を用いる場合であって、溶媒を除去するために加熱処理をする必要があるときは、当該加熱処理と兼ねるとよい。

【0128】

またアンテナ用基板に溝を形成し、当該溝にアンテナを形成してもよい。溝にアンテナを形成することができるため、アンテナ用基板及びアンテナの薄膜化を達成することができる。

【0129】

またアンテナは、アンテナ用基板の両面に形成することもできる。その場合、アンテナ用基板の他方の面に、上記と同様な方法によりアンテナを形成すればよい。その結果、アンテナ長を延ばすことができるため、通信距離を広げることができる。

【0130】

また接続端子の配置によっては、アンテナの一部をアンテナ用基板の他方の面に形成してもよい。例えば図1に示すようにアンテナを巻くように形成すると、接続端子の配置によって、アンテナを乗り越える必要性がでてくる。このときアンテナ同士がショートしないよう絶縁物を介す必要があるが、当該絶縁物としてアンテナ用基板を用いることができる

【0131】

次いで、図9（B）に示すように、アンテナ用基板に開口部113を形成する。開口部は、物理的、又は化学的に形成することができる。物理的に形成する場合、レーザーを用いることができる。また開口部を容易に形成するため、熱を加えてもよく、例えば熱い針状のものを用いて形成することもできる。化学的に形成する場合、例えばドライエッチング、又はウェットエッチングといったエッチング法を用いることができる。

【0132】

また穴の形状、円状に限定されず、矩形状、スリット状等でもよい。

【0133】

本実施例では、IDFチップとアンテナとを張り合わせる場合について説明したが、IDFチップ上にアンテナを直接形成してもよい。例えば、配線130と同一層にアンテナを形成することができる。

【0134】

本実施例では、非接触型IDFチップについて説明したが、接触型IDFチップ、及びハイブリッド型IDFチップのいずれでもよい。

【0135】

以上、本実施例では、わかりやすくするためIDFチップやアンテナ用基板を厚く記載したが、実際は非常に薄い形状となっている。

【0136】

（実施例1）

本実施例では、実施の形態2に示した形態の具体的な方法について説明する。

【0137】

図9（A）には絶縁基板100に12個のIDFチップを形成する場合の上面図を、図9（B）にはe-fにおける断面図を、図9（C）には接続領域106を横切るg-hにおける断面図を示す。なお本実施例では、実施例1と同様に剥離層にSASを用いる。

【0138】

図9（B）に示すように、実施例1と同様に、絶縁基板100上に剥離層102を介して、絶縁膜、所望の形状にパターニングされた半導体膜124、ゲート絶縁膜125を介して設けられたゲート電極126を有する薄膜トランジスタ128n、128pが設けられている。また半導体膜が有する不純物領域と接続するように配線130が設けられている。

【0139】

絶縁膜は、積層構造を有してもよく、実施例1と同様に、第1の絶縁膜121、第2の絶縁膜122、第3の絶縁膜123を有する。

【0140】

実施例1と同様に半導体膜は、シリコンウェハから形成されるチップと異なり、水素を $1 \times 10^{19} \sim 1 \times 10^{22} / \text{cm}^3$ 、好ましくは $1 \times 10^{19} \sim 5 \times 10^{20} / \text{cm}^3$ 有するように形成することができる。水素により、半導体膜中の欠陥を緩和する、所謂欠陥のターミネート効果を奏すことができる。加えて水素により、IDFチップの柔軟性を高めることができる。

【0141】

さらに、パターニングされた半導体膜がIDFチップにおいて占める面積の割合を、1～30%とすることで、曲げ応力による薄膜トランジスタの破壊や剥がれを防止することができる。

【0142】

また実施例1と同様に、第1の層間絶縁膜127、第2の層間絶縁膜129を有するとよい。また更に好ましくは、配線130を覆うように第4の絶縁膜131を設けるとよい。

【0143】

その後、本実施例では接続領域106を残すように、選択的に溝105を形成する。実施

例1と同様に、溝は、ダイシング、スクライビング又はマスクを利用したエッチング等によって行うことができる。図9 (C) に示すように接続領域106を残すように、選択的に溝105を形成する場合、露光、現像工程によりマスクパターンを形成し、ドライエッチング、ウェットエッチング等により溝を形成するとよい。なおドライエッチングにおいては、大気圧プラズマ法を用いてもよい。

【0144】

またドライエッチング、又はウェットエッチング等により溝を形成する場合、接続領域の配置や形状により、溝のエッチング時間等の条件を調整することができる。エッチングを短時間とすることにより、その他の膜への影響が少なくなる。

【0145】

このようにしてIDFチップ間に形成される溝は、必ずしも各IDFチップ間に形成する必要はなく、複数のIDFチップ間に形成してもよい。

【0146】

次に図10に示すように、エッチング剤を導入することにより剥離層を除去する。図10 (A) にはハロゲン化フッ素を含む気体又は液体を導入し、剥離層を除去している状態の上面図を、図10 (B) にはe-fにおける断面図を、図10 (C) には接続領域106を横切るg-hにおける断面図を示す。

【0147】

図10 (B) に示すように、ハロゲン化フッ素を含む気体又は液体を溝105へ導入する。本実施例では、実施例1と同様に、ハロゲン化フッ素としてC₁F₃ (三フッ化塩素) を使用する。

【0148】

このとき、処理温度を100℃～300℃とすると反応速度を高めることができる。その結果、C₁F₃ガスの使用量を少なくすることができ、また処理時間を短縮することができる。

【0149】

このようなエッチング剤の導入により、剥離層であるSASを徐々に後退させて、絶縁基板を矢印に示すように除去することができる。

【0150】

このとき、TFTの各層がエッチングされないようにエッチング剤、ガス流量、温度等を設定する。本実施例で用いたC₁F₃は剥離層であるSASを選択的に除去するため、上下に設けられた酸化珪化珪素等、側面に層間絶縁膜、ゲート絶縁膜、配線等の端部が露出するTFTの各層がエッチングされることはない。

【0151】

その後絶縁基板が除去されても、接続領域によって各IDFチップは一体化された状態となっているため、IDFチップがばらばらに分離してしまうことはない。

【0152】

その後、各IDFチップをダイシング、スクライビング、又はレーザカット法により切断する。そして、IDFチップを物品に実装すればよい。

【0153】

以上の工程によりIDFチップを完成することができるが、図11に示すように、フレキシブル基板を接着してもよい。図11 (A) にはフレキシブル基板150を接着剤151により接着した状態の上面図を、図11 (B) にはe-fにおける断面図を、図11 (C) には接続領域106を横切るg-hにおける断面図を示す。

【0154】

フレキシブル基板には、上述のようなプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板を用いることができるが、本実施例ではプラスチックを有する合成樹脂からなる基板を用いる。

【0155】

接着剤としては、熱硬化樹脂、紫外線硬化樹脂、エポキシ樹脂系接着剤、樹脂添加剤等の

接着剤又は両面テープ等を用いることができる。

【0156】

フレキシブル基板へ移し替えることにより、IDFチップの破壊強度を高めることができる。

【0157】

次に図12に示すように、アンテナ用基板を張り合わせる。図12（A）にはアンテナ用基板111を張り合わせた状態の上面図を、図12（B）にはe-fにおける断面図を、図12（C）には接続領域106を横切るg-hにおける断面図を示す。

【0158】

アンテナ用基板111には、実施例1と同様にIDFチップに対応する位置にアンテナ112が設けられている。アンテナの作製工程の詳細は、実施例1を参照すればよい。本実施例において、絶縁基板は剥離されているため、アンテナ用基板へ開口部を形成しなくともよい。

【0159】

このとき、IDFチップ104と、アンテナ112とは、異方性導電体141により張り合わされている。異方性導電体の他に、超音波接着剤、紫外線硬化樹脂、又は両面テープ等を用いて張り合わせてもよい。

【0160】

その後図13に示すように、各IDFチップをダイシング、スクライビング、又はレーザカット法により切断し、フレキシブル基板上に形成されたIDFチップが完成する。図13（A）にはIDFチップを切断した状態の上面図を、図13（B）にはa-bにおける断面図を、図13（C）には接続領域106を横切るg-hにおける断面図を示す。

【0161】

このように形成されたIDFチップを、物品に実装すればよい。このときに使用する接着剤は、熱硬化樹脂、紫外線硬化樹脂、エポキシ樹脂系接着剤、樹脂添加剤等の接着剤又は両面テープ等を用いることができる。

【0162】

また図示しないが、IDFチップを保護するために、樹脂や窒素を有する絶縁膜で覆ってもよく、特にIDFチップの側面に充填するとよい。このときの樹脂や窒素を有する絶縁膜は、IDFチップを実装する物品の材料であってもよい。

【0163】

本実施例では異方性導電体により、IDFチップの接続端子がアンテナ側を向いている、所謂フェイスダウンで実装する場合を説明したが、実施例1と同様にアンテナと反対側を向いている、所謂フェイスアップで実装してもよい。

【0164】

以上、基板200上に薄膜トランジスタを形成後、絶縁基板200を剥離し、好ましくはさらにフレキシブル基板へ移し替える形態を説明したが、剥離するタイミング又は回数は、本実施例に限定されない。また移し替える先は、フレキシブル基板に限定されず、実装する物品（実装物品）であってもよい。また移し替える回数によりIDFチップが、フェイスアップ状態となるか、又はフェイスダウン状態となるかを決めることができる。

【0165】

本実施例では、IDFチップとアンテナとを張り合わせる場合について説明したが、IDFチップ上にアンテナを直接形成してもよく、例えば、配線130と同一層にアンテナを形成することができる。

【0166】

本実施例では、非接触型IDFチップについて説明したが、実施例1と同様に、接触型IDFチップ、及びハイブリッド型IDFチップのいずれでもよい。

【0167】

以上、本実施例では、わかりやすくするためIDFチップやアンテナ用基板を厚く記載したが、実際は非常に薄い形状となっている。

（実施例2）

本実施例では、上記実施例とは異なる形状を有する薄膜トランジスタを用いる場合について説明する。

【0168】

図25（A）に示すように、上記実施例と同様に、ゲート電極まで形成する。なお本実施例では、ゲート電極をTaN（窒化タンタル）126aとW（タンゲステン）126bの積層構造とする。その他のゲート電極として、シリコンを用いることができる。その後、ゲート電極を覆うように層間絶縁膜127を形成する。本実施例では、膜厚100nmのSiO₂膜をプラズマCVD法によって形成する。

【0169】

次いで、全面をレジスト44で覆い、エッチバック法により、レジスト44、層間絶縁膜127、ゲート絶縁膜125をエッチング除去する。その結果、図25（B）に示すように、サイドウォール（側壁）76を自己整合的（セルフアライン）に形成することができる。エッチングガスとしては、CHF₃とHeの混合ガスを用いる。

【0170】

なお、層間絶縁膜127形成時に基板の裏面にも絶縁膜が形成された場合には、レジスト44をマスクとして、裏面の絶縁膜をエッチング除去する（裏面処理）といい。

【0171】

なお、サイドウォール76の形成方法は上記に限定されるものではない。例えば、図26に示した方法を用いることができる。図26（A）は、絶縁膜127を二層又はそれ以上の積層構造とした例を示している。絶縁膜127としては、例えば、膜厚100nmのSiON（酸窒化珪素）膜と、膜厚200nmのLTO膜（Low Temperature Oxide、低温酸化膜）の2層構造とする。本実施例では、SiON膜は、プラズマCVD法で形成し、LTO膜としは、SiO₂膜を減圧CVD法で形成する。その後、レジスト44をマスクとしてエッチバックを行うことにより、L字状と円弧状からなるサイドウォール76を形成することができる。

【0172】

また、図26（B）は、エッチバック時に、ゲート絶縁膜125を残すようにエッチングを行った例を示している。この場合の絶縁膜127は、単層構造でも積層構造でも良い。

【0173】

上記サイドウォールは、後に高濃度のn型不純物をドーピングし、サイドウォール76の下部に低濃度不純物領域又はノンドープのオフセット領域を形成する際のマスクとして機能するものであるが、上述したサイドウォールのいずれの形成方法においても、形成すべき低濃度不純物領域又はオフセット領域の幅に応じて、エッチバックの条件を設定することができる。

【0174】

次に、図25（C）に示すように、p型TFT領域を覆うレジスト77を新たに形成し、ゲート電極126及びサイドウォール76をマスクとして、n型を付与する不純物元素78（代表的にはP又はAs）を高濃度にドープする。このドーピング工程の条件は、ドーズ量： $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ 、加速電圧：60～100keVとして行う。このドーピング工程によって、ゲート絶縁膜125を介してドーピング（スルードープ）がなされ、一対のn型の高濃度不純物領域79が形成される。このときサイドウォール下方にはオフセット領域65が形成される。

【0175】

なお、レジスト77をアッシング等により除去した後、不純物領域の熱活性化を行ってもよい。例えば、50nmのSiON膜を成膜した後、550℃、4時間、窒素雰囲気下において、加熱処理を行えばよい。また、水素を含むSiNx膜を、100nmの膜厚に形成した後、410℃、1時間、窒素雰囲気下において、加熱処理を行うことにより、結晶性半導体膜の欠陥を改善することができる。これは、例えば、結晶性半導体膜中に存在

するダングリングボンドを終端させるものであり、水素化処理工程と呼ばれる。さらに、この後、TFTを保護するキャップ絶縁膜として、膜厚600nmのSiON膜を形成してもよい。なお、水素化処理工程は、該SiON膜形成後に行ってもよい。この場合、SiNx\SiON膜は連続成膜することができる。このように、TFT上には、SiON\SiNx\SiONの3層の絶縁膜が形成されることになるが、その構造や材料はこれらに限定されるものではない。また、これらの絶縁膜は、TFTを保護する機能をも有しているため、形成する方が望ましい。

【0176】

次に、図25(D)に示すように、TFT上に、層間絶縁膜129を形成する。層間絶縁膜の材料や作製方法は、上記実施例を参照することができる。

【0177】

さらに、層間絶縁膜129を積層構造としてもよい。すなわち、層間絶縁膜上に、絶縁膜54を積層しても良い。絶縁膜54としては、DLC(ダイヤモンドライカーボン)或いは窒化炭素(CN)等の炭素を有する膜、又は、酸化珪素膜、窒化珪素膜或いは窒化酸化珪素膜等を用いることができる。形成方法としては、プラズマCVD法や、スパッタリング法を用いることができる。

【0178】

なお、層間絶縁膜と、後に形成される配線を構成する導電材料等との熱膨張率の差から生じる応力によって、TFT層に膜剥がれが生じたり、割れが生じるのを防ぐために、層間絶縁膜中にフィラーを混入させてもよい。フィラーにより、熱膨張を制御することができる。

【0179】

次に、レジストを形成した後、エッチングによりコンタクトホールを開孔し、TFT同士を接続する配線130及び外部アンテナと接続するための接続配線21を形成する。コンタクトホール開孔時のエッチングに用いられるガスは、CHF₃とHeの混合ガスを用いるが、これに限定されるものではない。また、配線130と接続配線21は同一材料を用いて同時に形成しても良いし、別々に形成しても良い。ここでは、TFTと接続される配線130は、Ti\TiN\Al-Si\Ti\TiNの5層構造とし、スパッタリング法によって形成した後、パターニングにより形成する。

【0180】

なお、Al層において、Siを混入させることにより、配線パターニング時のレジストペークにおけるヒロックの発生を防止することができる。また、Siの代わりに、0.5%程度のCuを混入させてもよい。また、TiやTiNでAl-Si層を挟み込むことにより、耐ヒロック性がさらに向上する。なお、パターニング時には、SiON等の無機材料からなるマスクを用いるのが望ましい。なお、配線の材料や、形成方法はこれらに限定されるものではなく、前述したゲート電極に用いられる材料を採用してもよい。このとき、配線上に保護膜80を設けてもよく、接続領域には開口部を形成する。

【0181】

以上の工程を経て、TFTを有するIDFチップが完成する。なお、本実施例では、トップゲート構造としたが、ボトムゲート構造(逆スタガ構造)としてもよい。

【0182】

また、図25(D)に示すように、IDFチップにおいて、半導体層から下地膜の下部までの距離(t_{under})と、半導体層から層間絶縁膜の上部まで距離(t_{over})は、等しく又は概略等しくなるように下地膜、層間絶縁膜の厚さを調整するのが望ましい。このようにして、半導体層をIDFチップの中央に配置せしめることで、半導体層への応力を緩和することができ、クラックの発生を防止することができるからである。

【0183】

その後、上記実施例と同様に、溝を形成して絶縁基板剥離したり、アンテナを形成することができる。

【0184】

本実施例に示すサイドウォールを有する薄膜トランジスタは、上記実施の形態、及び上記実施例と自由に組み合わせることができる。

【0185】

(実施例3)

本実施例では、実施例1及び2に示した形態とは異なる薄膜集積回路の作製方法について説明する。

【0186】

図14 (A) に示すように、実施の形態2、又は実施例2に基づき形成された、接続領域106により一体化された状態のIDFチップを用意する。IDFチップは、配線130と同一材料から形成されたバンプ201が設けられている。

【0187】

また配線203が形成された第2の基板202を用意する。第2の基板は、バリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板等が挙げられる。またその他の絶縁表面を有する基板としては、ポリエチレン-テレフタレート (PET)、ポリエチレンナフタレート (PEN)、ポリエーテルサルファン (PES) に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板がある。

【0188】

図14 (B) に示すように、一体化されたIDFチップを、接着剤204を用いて、配線203が形成された第2の基板202に張り合わせる。このとき、配線203と、バンプ201とが接続するように張り合わせる。接着剤204として、異方性導電体を用いることができる。異方性導電体の他に、超音波接着剤、紫外線硬化樹脂、又は両面テープ等を用いて張り合わせてもよい。

【0189】

図14 (C) に示すように、各IDFチップをダイシング、スクライビング、又はレーザカット法により切断する。

【0190】

その後、図14 (D) に示すように、アンテナ用端子205を形成する。アンテナ用端子は、液滴吐出法、スパッタリング法、又はCVD法等により形成することができる。

【0191】

そして図14 (E) に示すように、アンテナ112が形成されたアンテナ用基板111に張り合わせる。アンテナ又はアンテナ用基板の材料や作製方法は、上記実施の形態、又は実施例を参照することができる。またアンテナ用基板は、IDFチップを実装する物品の材料であってもよい。

【0192】

このようにIDFチップは、多様なアンテナの実装形態をとることができる。すなわちIDFチップは、一体化された状態で作製工程を経ることを特徴としており、アンテナの実装形態や実装方法は限定されない。

【0193】

本実施例では、非接触型IDFチップについて説明したが、実施例1、2と同様に、接触型IDFチップ、及びハイブリッド型IDFチップのいずれでもよい。

【0194】

以上、本実施例では、わかりやすくするためIDFチップやアンテナ用基板を厚く記載したが、実際は非常に薄い形状となっている。

【0195】

(実施例4)

本実施例では、IDFチップの多様な形態について説明する。

【0196】

図22 (A) に示すように、IDFチップ104と、アンテナ用基板111に形成されたアンテナ112とを接続端子、例えばバンプ109を介し、導電体140を有する異方性導電体141により接続する。異方性導電体の他に、超音波接着剤、紫外線硬化樹脂、又

は両面テープ等を用いてもよい。

【0197】

図22(B)に示すように、IDFチップは接着剤151により、フレキシブル基板150へ張り合わされている。接着剤として、熱硬化樹脂、紫外線硬化樹脂、エポキシ樹脂系接着剤、樹脂添加剤等の接着剤又は両面テープ等を用いることができる。

【0198】

またアンテナ用基板を複数設けてもよく、例えば図22(C)に示すように、アンテナ12が形成されたアンテナ用基板を、IDFチップに対して両側へ設ける。その結果アンテナ長を長くすることができるため、通信距離を広げることができる。このとき、一方側のアンテナと、他方側のアンテナとを接続するため、導電膜250を形成する。例えば、アンテナ用基板間へ、液滴吐出法を用いて導電体を有する液滴を選択的に吐出する。その後、導電膜250を保護するため、絶縁膜251を形成するとよい。

【0199】

また一方側のアンテナと、他方側のアンテナとの接続構造は、本実施例に限定されない。例えば、一方側のアンテナと、他方側のアンテナとを、それぞれバンプ109を介してIDFチップへ接続してもよい。

【0200】

以上のようにして、アンテナが実装されたIDFチップを完成させることができる。

【0201】

なお本発明のIDFチップは、本実施例で示したIDFチップの形態に限定されるものではない。例えば、アンテナを薄膜トランジスタが有する導電膜と同一層に形成したり、アンテナ用基板を用いず、IDFチップ上にアンテナを形成する形態もある。

【0202】

(実施例5)

本実施例では、IDFチップが実装される物品の形態について説明する。なおIDFチップを実装する位置や形状、更に実装するIDFチップの数は本実施の形態に限定されるものではない。

【0203】

図15には、飲食品のラベルにIDFチップを張り合わせ、当該飲食品の容器、例えばビール瓶181へIDFチップを実装する場合を示す。

【0204】

図15(A)に示すように、アンテナ112が形成されたIDFチップ104を、両面テープ等によりラベル180へ張り合わせる。また、ラベル自身が接着性を備えている場合、そのままIDFチップを張り合わせてもよい。

【0205】

このような商品は、図15(B)に示すように、ベルトコンベア183等に乗せされて、リーダ・ライター装置182の近傍を通過することで、情報を入力、又は読出することができる。またIDFチップに形成されるメモリの種類によっては、既存の情報を書き換えることができる。

【0206】

さらにアンテナが形成されたIDFチップは、非接触で情報を入力、又は読出を行うことができるため、段ボール等に商品が梱包された状態で、リーダ・ライター装置により情報管理することができる。

【0207】

このようにIDFチップを実装した物品により、物流時の人件費を大幅に削減することができる。また人為的なミスを削減することもできる。

【0208】

以上のように商品に実装されたIDFチップの情報は、生産又は製造に関する場所、者、日付等の基本事項から、アレルギー情報、主成分、宣伝等、多岐にわたる。また、バーコード、又は磁気テープ等の情報蓄積手段を用いて、情報量を増やしたり、セキュリティを

向上させてもよい。例えば、バーコードと併用する場合、書き換え不要な情報、例えば上記基本情報を入力し、IDFチップには書き換え可能な情報を入力するう、目的に応じて使い分けるとよい。

【0209】

IDFチップが有するメモリに、データの書き換えができないROMなどを形成しておけば、紙幣、小切手等の有価証券、戸籍謄本、住民票、名刺、トラベラーズチェック、パスポート等の証書などの偽造を防止することができる。

【0210】

盗難防止の例として、バッグ601にIDFチップ602を実装する場合を説明する。図27に示すように、例えば、バッグの底又は側面の一部等にIDFチップを実装することができる。IDFチップは非常に薄型で小さいため、バッグのデザイン性を低下させずに実装することができる。加えてIDFチップは透光性を有し、盗難者はIDFチップが実装されているかを判断しにくい。そのため、盗難者によってIDFチップが取り外される恐れがない。

【0211】

このようなIDFチップ実装バッグが盗難された場合、例えばGPS (Global Positioning System) を用いてバッグの現在位置に関する情報を得ることができる。なおGPSとは、GPS用の衛星から送られる信号をとらえてその時間差を求め、これをもとに測位するシステムである。

【0212】

また盗難された物品以外にも忘れ物や落とし物を、GPSを用いて現在位置に関する情報を得ることができる。

【0213】

またバッグ以外にも、自動車、自転車等の乗物、時計やアクセサリーにIDFチップを実装することができる。

【0214】

図16 (A) には、IDFチップを実装した紙幣301を示す。図16 (A) では、IDFチップ302が紙幣の内部に取り付けられているが、表面に形成してもよい。IDFチップは透光性を有するため、表面に形成しても印字等を妨げないからである。

【0215】

また紙幣以外の有価証券であってもよく、例えば硬貨にIDFチップを実装してもよい。このように紙幣や硬貨にIDFチップを実装することにより、偽造防止に役立つと共に、自動販売機等における紙幣又は硬貨の認識度を高めることができる。

【0216】

図16 (B) には、IDFチップを実装した小切手311を示す。図16 (B) では、IDFチップ312を小切手の表面に設けている。IDFチップは透光性を有するため、小切手の表面に設けても構わない。もちろん小切手の内部にIDFチップを取り付けてもよい。

【0217】

図16 (C) には、IDFチップを実装した株券321を示す。図16 (C) では、IDFチップ322が株券の内部に取り付けられているが、表面に形成してもよい。またIDFチップの大きさや形（合わせて形状）、及び実装する位置は限定されるものではないが、情報量が多い場合はIDFチップの形状は大きくなる。このような場合であっても、IDFチップは透光性を有するため、どこに実装しても印字を妨げずにする。

【0218】

またIDFチップを含有するインクを用いて紙幣、小切手、又は株券等を印刷してもよい。またさらに、紙幣、小切手、又は株券等の材料と薬品とを混ぜ合わせるときに、IDFチップをばらまいて複数のIDFチップを実装した紙幣、小切手、又は株券等としてもよい。IDFチップは低コストで製造できるため、複数のIDFチップを実装しても紙幣、小切手、又は株券等の製造コストに影響を及ぼすことが少なくてすむ。

【0219】

以上のように、IDFチップは非常に薄い薄膜集積回路を用いて形成するため、非常に薄い紙状の物品にIDFチップを実装することができる。そのため、物品のデザイン性を損ねることがない。またIDFチップは透光性を有するため、物品の表面に実装しても構わない。

【0220】

図17 (A) には、IDFチップを実装した本331を示す。IDFチップ332は、本の表紙の表面又は内部に設けることができる。また本のその他のページにIDFチップを実装してもよい。

【0221】

図17 (B) には、IDFチップを実装したDVD341を示す。IDFチップ342は、DVDパッケージの表面又は内部に設けることができる。DVDの代わりに、CD、ビデオ等の商品にIDFチップを実装してもよいことは言うまでもない。

【0222】

このようなレンタル事業が盛んに行われている物品にIDFチップを実装することにより、簡便、且つ短時間で貸し出し及び返却処理を行うことができる。またIDFチップには、商品の内容、宣伝、出演者、等の情報をデータとして書き込むことができる。

【0223】

またIDFチップは、取り付ける対象物の形状に合わせて、その形状をある程度変化させることができる。よって本実施例で示した用途に限定されず、他の様々な用途に用いることができる。

【0224】

また個人所有物に、IDFチップを実装することにより、紛失時又は盗難時における所有物の所在を確認することができる。

【0225】

また所有物を包む包装紙にIDFチップを取り付けてもよい。さらにIDFチップには、音声データとしてメッセージを書き込むことができる。この場合、リーダにより情報を読み取り、再生機器によりメッセージを聞くことができる。またリーダ装置により読み取り、ネットワークを通じて、多様な情報を提供することができる。

【0226】

安全管理を行うため、食料品等の商品へIDFチップを実装する場合を説明する。

【0227】

図28には、IDFチップ612を実装したラベル613と、当該ラベルが貼られた肉のパック611を示す。IDFチップはラベルの表面に実装していてもよいし、ラベル内部に実装してもよい。また野菜等の生鮮食品の場合、生鮮食品を覆うラップにIDFチップを実装してもよい。

【0228】

IDFチップには、商品の生産地、生産者、加工年月日、賞味期限等の商品に関する基本事項、更には商品を用いた調理例等の応用事項を記録することができる。このような基本事項は、書き換える必要がないためROM等の書き換え不能なメモリを用いて記録するとよい。またこのような応用事項は、EEPROM等の書き換え、消去可能なメモリを用いて記録するとよい。

【0229】

また食料品の安全管理を行うためには、加工前の動植物の状態を知り得ることが重要である。そのため、動植物内にIDFチップを埋め込み、リーダ装置によって動植物に関する情報を取得するとよい。動植物に関する情報とは、飼育地、飼料、飼育者、伝染病の感染の有無等である。

【0230】

またIDFチップに、商品の値段が記録されていれば、従来のバーコードを用いる方式よりも、簡便、短時間に商品の精算を行うことが可能となる。すなわち、IDFチップが実

装された複数の商品を一挙に精算することができる。但し、このように複数のIDFチップを読み取る場合、アンチコリジョン機能をリーダ装置に搭載する必要がある。

【0231】

さらにIDFチップの通信距離によっては、レジスターと商品との距離が遠くても、商品の精算を可能とすることができる。またIDFチップは万引き防止にも役立つ。

【0232】

さらにIDFチップは、バーコード、磁気テープ等のその他の情報媒体と併用することもできる。例えば、IDFチップには書き換え不要な基本事項を記録し、バーコードには更新すべき情報、例えば値引き価格や特価情報を記録するとよい。バーコードはIDFチップと異なり、情報の修正を簡便に行うことができるからである。

【0233】

このようにIDFチップを実装することにより、消費者へ提供できる情報を増大させることができるために、消費者は安心して商品を購入することができる。

【0234】

また製造管理を行うため、IDFチップを実装した製造品と、当該IDFチップの情報に基づき制御される製造装置（製造ロボット）について説明する。

【0235】

現在、オリジナル商品を生産する場面が多くみられ、このような場合、生産ラインでは当該商品のオリジナル情報に基づくように生産する。例えば、ドアの塗装色を自由に選択することができる自動車の生産ラインにおいては、自動車の一部にIDFチップを実装し、当該IDFチップからの情報に基づき、塗装装置を制御する。そしてオリジナルな自動車を生産することができる。IDFチップを実装する結果、事前に生産ラインに投入される自動車の順序や同色を有する数を調整する必要がない。強いては、自動車の順序や数それに合わせるように塗装装置を制御するプログラムを設定しなくてすむ。すなわち製造装置は、自動車に実装されたIDFチップの情報に基づき、個別に動作することができる。

【0236】

このようにIDFチップは様々な場所で使用することができる。そしてIDFチップに記録された情報により、製造に関する固有情報を得ることができ、当該情報に基づき製造装置を制御することができる。

【0237】

次に、IDFチップ622を実装したカード621を、電子マネーとして利用する形態について説明する。図29に、カード621を用いて、決済を行なっている様子を示す。レジスター623、リーダ／ライタ装置624を備えている。IDFチップ622には、カード621に入金されている金額の情報が保持されており、リーダ／ライタ装置624は該金額の情報を非接触で読み取り、レジスター623に送信することができる。レジスター623では、カード621に入金されている金額が、決済する金額以上であることを確認し、決済を行なう。そしてリーダ／ライタ装置624に決済後の残額の情報を送信する。リーダ／ライタ装置624は該残額の情報を、カード621のIDFチップ622に書き込むことができる。

【0238】

なおリーダ／ライタ装置624に、暗証番号などを入力することができるキー625を付加し、第三者によってカード621を用いた決済が無断で行なわれるのを制限できるようにしてもよい。

【0239】

なおIDFチップは、実装する物品（実装物品）に対して中心部に配置し、IDFチップの周囲は物品の基材で覆われるよう形成するとよい。その結果、IDFチップの機械的強度を高めることができる。具体的には、IDFチップを挟み込む位置（IDFチップの中心）：Xは、実装物品の厚みをDとすると、 $(1/2) \cdot D - 30 \mu m < X < (1/2) \cdot D + 30 \mu m$ を満たすように配置するとよい。

【0240】

アンテナが別途形成されている場合であっても、IDFチップは上記位置を満たすと好ましい。

【0241】

さらに上述したように、IDFチップにおいて、半導体層から下地膜の下部までの距離(t_{under})と、半導体層から層間絶縁膜の上部まで距離(t_{over})は、等しく又は概略等しくなるように下地膜、層間絶縁膜の厚さを調整するのが望ましい。このように、物品の中央部へIDFチップを設け、さらにIDFチップの中央部へ半導体膜を設けることにより、半導体層への応力を緩和することができ、クラックの発生を防止することができる。

【0242】

またIDFチップとアンテナとを別途、物品へ実装してもよい。IDFチップとアンテナとの実装面を異ならせると、実装面積の制約がなくなり、設計の自由度が増す。この場合のアンテナは、物品に直接形成することもできる。その後、アンテナの接続端子と、IDFチップの接続端子とを接続する。このとき、異方性導電体を用いて接続することができる。

【0243】

(実施例6)

IDFチップは、シリコンウェハにより形成されたチップと比較して、ある程度の面積を有する場合が想定され、さらにフレキシブル性が高いため、曲げた状態での破壊を考慮する必要がある。そこで本実施の形態では、IDFチップを実装する紙幣を曲げた状態について説明する。

【0244】

図19(A)には、IDFチップ実装物品である紙幣301が矢印方向280に曲がった状態を示している。一般的に、薄膜物品は、長軸方向に曲がりやすい、又は曲げやすいため、本実施例では長軸方向に曲げる場合を説明する。

【0245】

このときのIDFチップ104の状態を図19(B)に示す。IDFチップは、複数の薄膜トランジスタを有し、当該薄膜トランジスタは、キャリアの移動方向281と、矢印方向(曲げる方向)280とが垂直となるように配置する。すなわち、曲げる方向280と垂直となるように薄膜トランジスタのソース領域230(s)、チャネル形成領域230(c)、ドレイン領域230(d)を配列する。その結果、曲げ応力による薄膜トランジスタの破壊や剥がれを防止することができる。

【0246】

また半導体膜として、レーザー照射を用いた結晶性半導体膜を用いる場合、レーザー走査方向283も曲げる方向280と垂直となるように設定する。例えば、図23に示すように、レーザーの照射領域(スポット)282を、矩形状に走査して、全面を結晶化する場合、レーザー走査方向(長軸側)283は曲げる方向280と垂直な方向とする。

【0247】

このような方向にIDFチップを曲げることにより、IDFチップ、特に薄膜トランジスタを破壊することができなく、さらに、キャリアの移動方向に存在する結晶粒界を極力低減することができる。その結果、薄膜トランジスタの電気特性、特に移動度を向上させることができる。

【0248】

加えて、パターニングされた半導体膜がIDFチップにおいて占める面積の割合を、1～30%とすることで、曲げ応力による薄膜トランジスタの破壊や剥がれを防止することができる。

【0249】

本実施の形態では、非接触型IDFチップを実装する場合について説明したが、接触型IDFチップ、及びハイブリッド型IDFチップのいずれでもよい。

【0250】

(実施例7)

本実施例では、薄膜集積回路が実装された物品の使用形態について説明する。

【0251】

図18 (A) には、ラベル403に張り合わされたIDFチップ402を実装した薬瓶401と、リーダ・ライター装置410と、表示部421を有するパーソナルコンピュータ420等からなる、情報の流れを示している。まず、リーダ・ライター装置を介してIDFチップの情報、例えば、使用用量、効果、副作用、アレルギー等の情報をパーソナルコンピュータへ入力される。これら情報は、表示部421で確認することができる。

【0252】

IDFチップに記録されている情報は、企業の宣伝等、例えばホームページアドレスを有していてもよい。この場合、インターネット用ブラウザを起動した状態とし、リーダ・ライター装置を介して当該アドレスが入力され、ホームページをみることができる。IDFチップに記録された情報を読み取ることにより、手作業で、情報を入力する場合と比べ、入力ミスを防止することができる。

【0253】

また、リーダ・ライター装置の機能を持たせた携帯用電子機器、代表的には携帯電話機やPDAにより、薬の情報を読み取ることができる。例えば、携帯電話機430のアンテナ431として機能するコイルが、リーダ・ライター装置のアンテナを兼ねるように設計する。IDFチップに記録された当該情報は、携帯電話機の表示部432で確認することができる。

【0254】

図18 (B) には、IDFチップ及びリーダ・ライター装置の回路構造を示す。

【0255】

まず、IDFチップ104は、アンテナコイル501、容量素子502とを有し、復調回路503、変調回路504、整流回路505、マイクロプロセッサ506、メモリ507、負荷をアンテナコイル501に与えるためのスイッチ508とを有している。これらの回路やマイクロプロセッサは、薄膜集積回路により形成することができる。なおメモリ507は1つに限定されず、複数であってもよい。

【0256】

またリーダ・ライター装置410は、アンテナコイル511、変調回路512、発振手段513を有し、これらにより送信信号を作成することができる。またリーダ・ライター装置410は、受信信号を検波し、増幅して復調する検波復調回路514を有する。IDFチップからの受信信号は非常に弱いために、フィルタ等により分離、増幅するとよい。そして、これらの受信信号は、ゲートASIC515に送られる。

【0257】

ゲートASICに入力されたデータは、マイクロプロセッサ516に送られて処理される。そして必要に応じて、メモリ517と相互に信号のやりとりを行い、所定の演算処理を達成する。メモリ517にはマイクロプロセッサ516において用いられるプログラム、データなどが記憶されている他、演算処理時の作業エリアとしても用いることができる。その後、信号インターフェース519と信号のやりとりを行うことができる。またこれら信号の相互交換のための電源部518を備えている。

【0258】

これらマイクロプロセッサ516、メモリ517、信号インターフェース519は、パーソナルコンピュータや電話機自体に設けることができる。

【0259】

またリーダ・ライター装置にアンチコリジョン機能を持たせてもよい。

【0260】

またリーダ・ライター装置の機能を兼ねる携帯電話機のような電子機器は、これら回路をアンテナコイル511、変調回路512、発振手段513、検波復調回路514、ゲートASIC515、マイクロプロセッサ516、メモリ517、電源部518、信号インターフェース519を有していればよい。

【0261】

もちろんパーソナルコンピュータ上記回路等を形成し、リーダ・ライター装置の機能を兼ねさせることもできる。

【0262】

またIDFチップでは、ゲートASIC515から変調回路512を介して電波として送られてきた信号は、アンテナコイル501において電磁誘導により交流の電気信号に変換される。復調回路503では該交流の電気信号を復調し、後段のマイクロプロセッサ506に送信する。また整流回路505では、交流の電気信号を用いて電源電圧を生成し、後段のマイクロプロセッサ506に供給する。

【0263】

マイクロプロセッサ506では、入力された信号に従って各種演算処理を行う。メモリ507にはマイクロプロセッサ506において用いられるプログラム、データなどが記憶されている他、演算処理時の作業エリアとしても用いることができる。そしてマイクロプロセッサ506から変調回路504に送られた信号は、交流の電気信号に変調される。スイッチ508は、変調回路504からの交流の電気信号に従って、アンテナコイル501に負荷を加えることができる。リーダ・ライター装置は、アンテナコイル501に加えられた負荷を電波で受け取ることで、結果的にマイクロプロセッサ506からの信号を読み取ることができる。

【0264】

なお、図18（B）に示すIDFチップやリーダ・ライター装置の回路構造は、本発明の一形態を示したのに過ぎず、本発明は上記構造に限定されない。信号の伝送方式は、本実施の形態で示したような電磁結合方式に限定されず、電磁誘導方式、マイクロ波方式やその他の伝送方式を用いていてもよい。また例えばGPSなどの機能を有していてもよい。

【図面の簡単な説明】

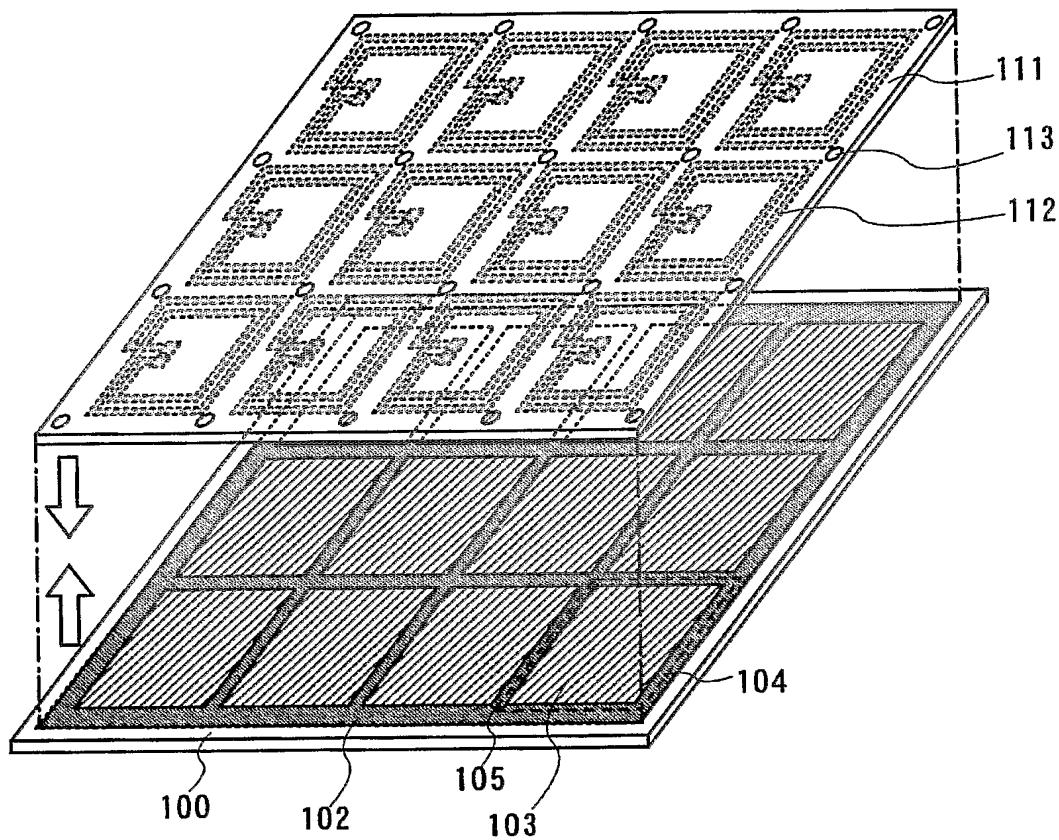
【0265】

- 【図1】薄膜集積回路の作製工程を示した図である
- 【図2】薄膜集積回路の作製工程を示した図である
- 【図3】薄膜集積回路の作製工程を示した図である
- 【図4】薄膜集積回路の作製工程を示した図である
- 【図5】薄膜集積回路の作製工程を示した図である
- 【図6】薄膜集積回路の作製工程を示した図である
- 【図7】アンテナの作製工程を示した図である
- 【図8】薄膜集積回路の作製工程を示した図である
- 【図9】薄膜集積回路の作製工程を示した図である
- 【図10】薄膜集積回路の作製工程を示した図である
- 【図11】薄膜集積回路の作製工程を示した図である
- 【図12】薄膜集積回路の作製工程を示した図である
- 【図13】薄膜集積回路の作製工程を示した図である
- 【図14】薄膜集積回路の作製工程を示した図である
- 【図15】薄膜集積回路を実装した物品を示した図である
- 【図16】薄膜集積回路を実装した物品を示した図である
- 【図17】薄膜集積回路を実装した物品を示した図である
- 【図18】薄膜集積回路を実装した物品の使用形態を示した図である
- 【図19】薄膜集積回路を実装した物品を曲げた状態を示した図である
- 【図20】薄膜集積回路の作製工程を示した図である
- 【図21】薄膜集積回路の作製工程を示した図である
- 【図22】薄膜集積回路の形態を示した図である
- 【図23】薄膜集積回路の作製工程を示した図である
- 【図24】薄膜集積回路の作製装置を示した図である
- 【図25】薄膜集積回路の作製装置を示した図である

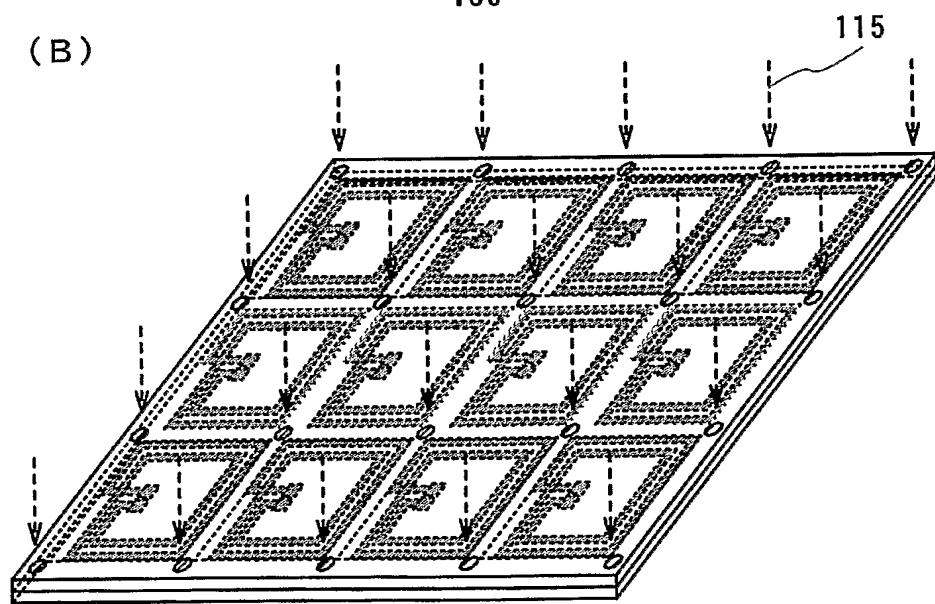
- 【図 2 6】 薄膜集積回路の作製装置を示した図である
- 【図 2 7】 薄膜集積回路を実装した物品を示した図である
- 【図 2 8】 薄膜集積回路を実装した物品を示した図である
- 【図 2 9】 薄膜集積回路を実装した物品を示した図である

【書類名】 図面
【図 1】

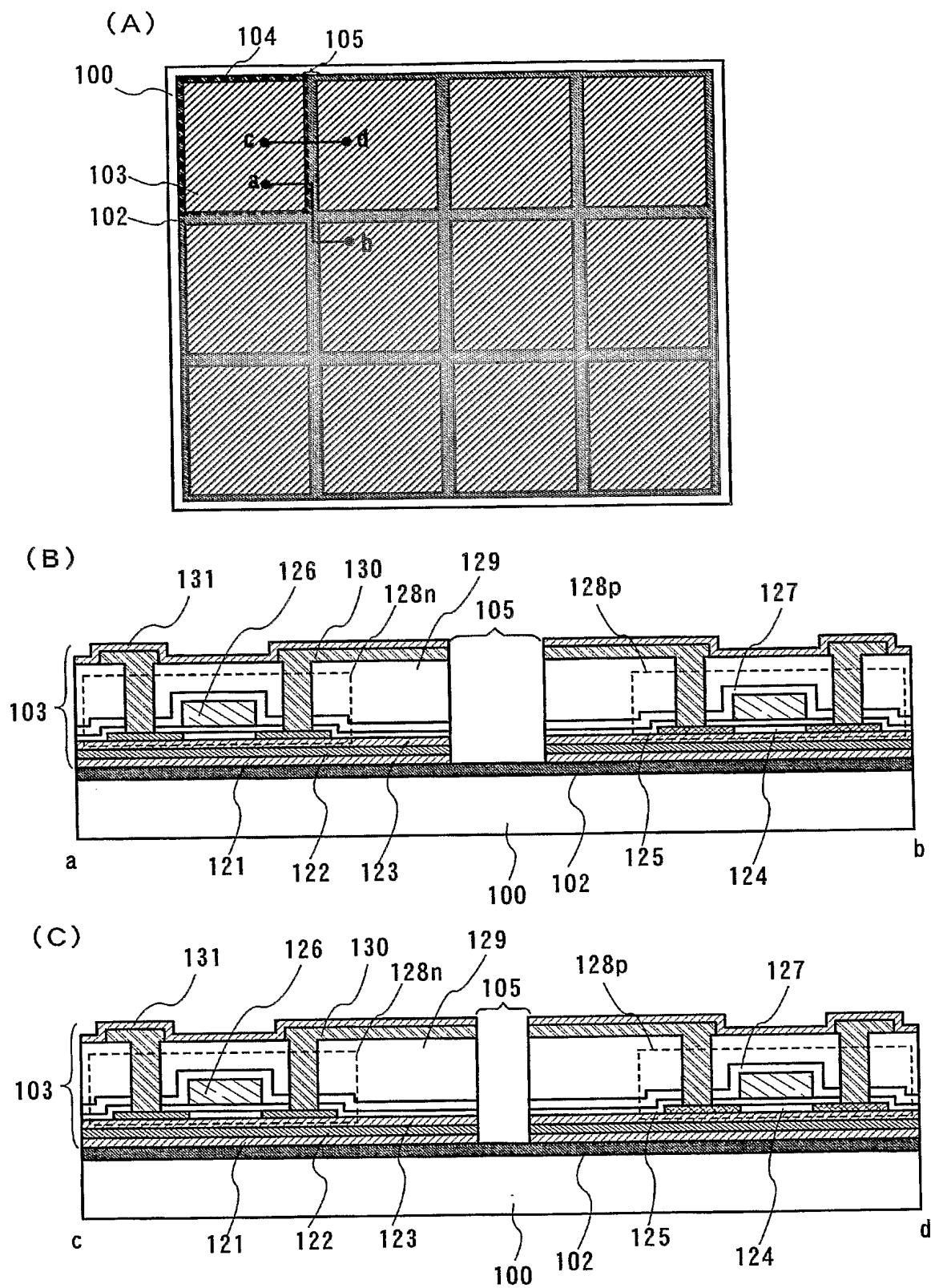
(A)



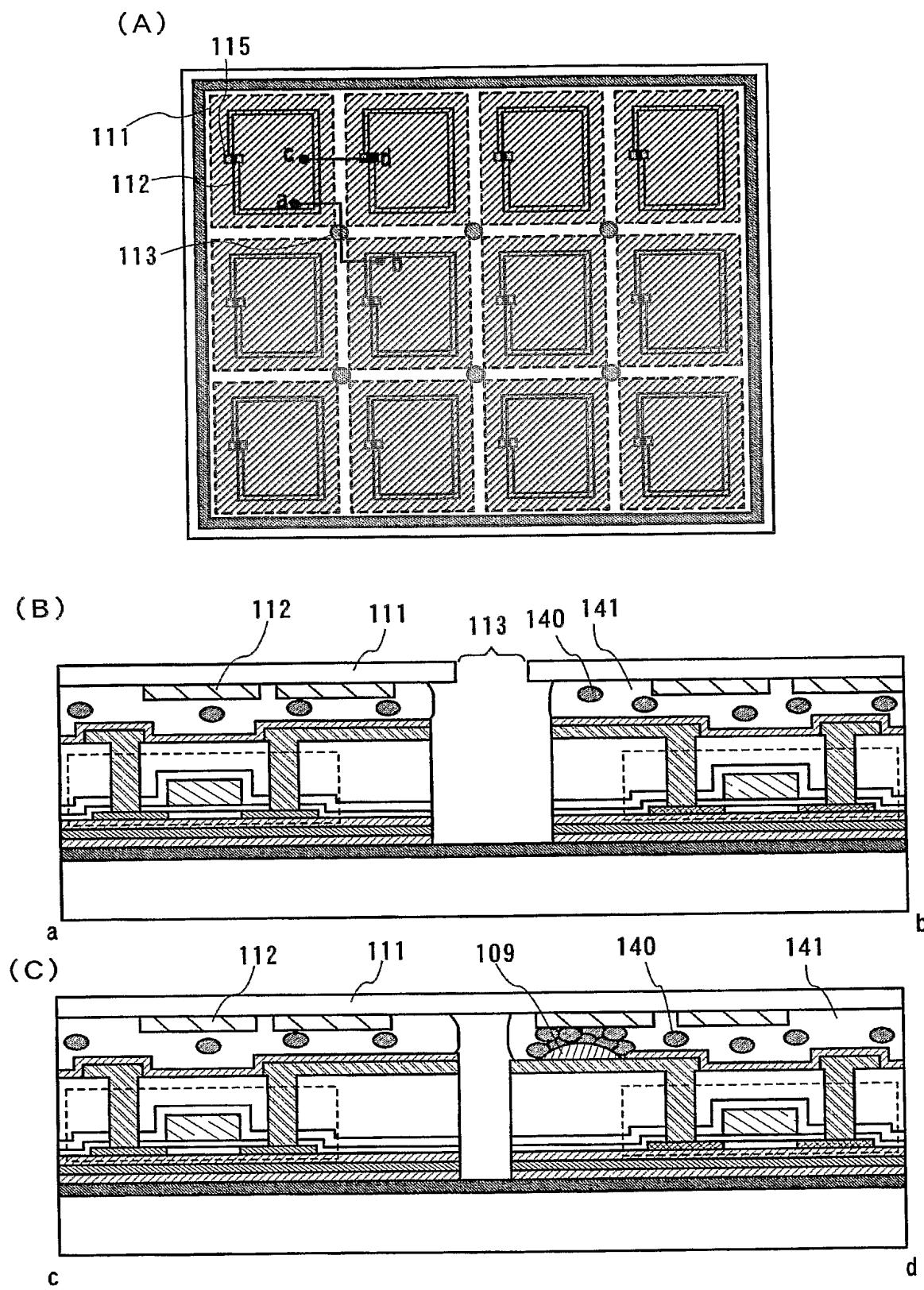
(B)



【図 2】

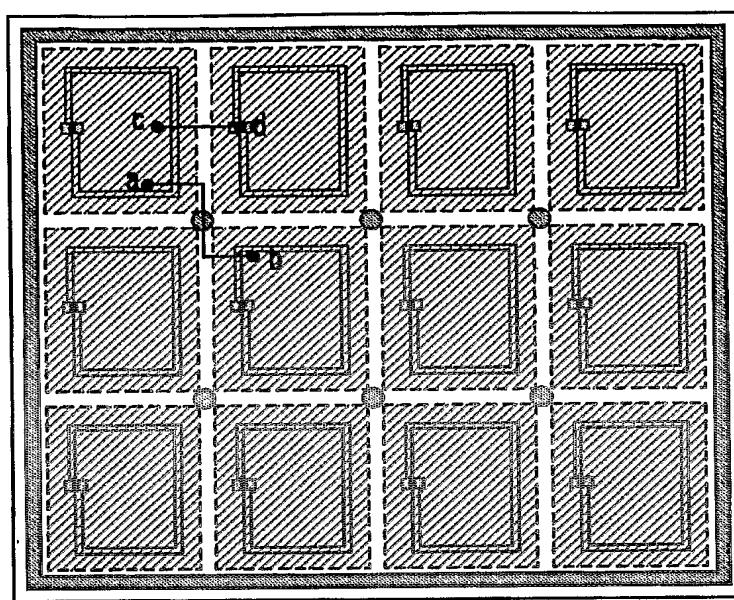


【図3】

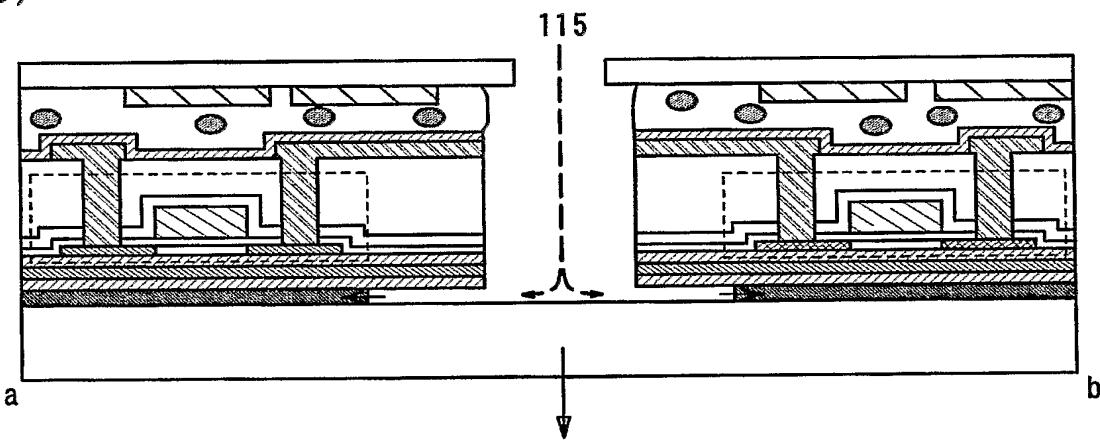


【図 4】

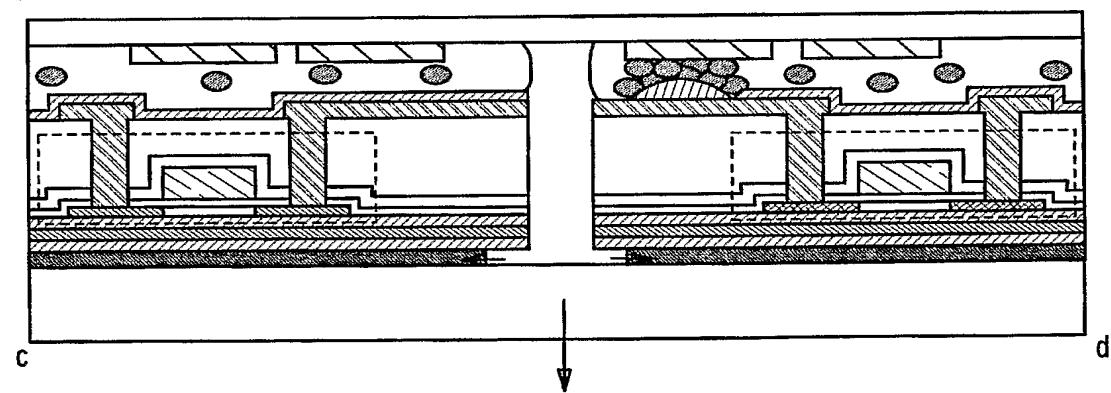
(A)



(B)

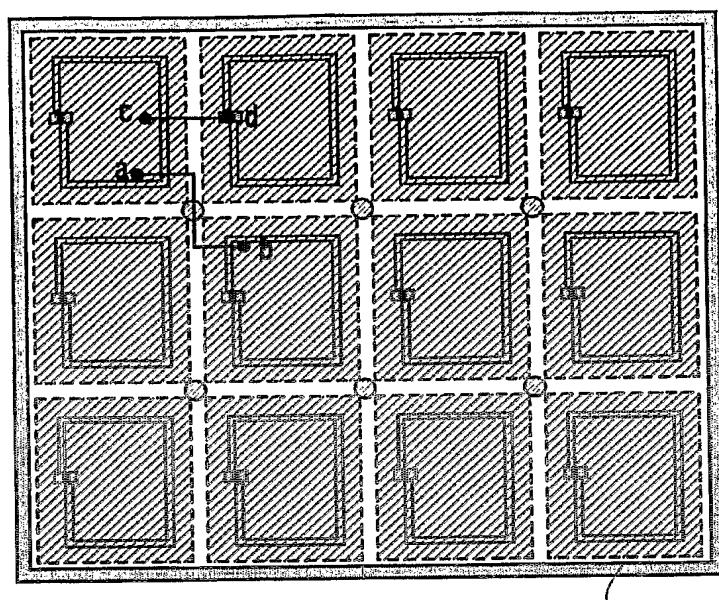


(C)



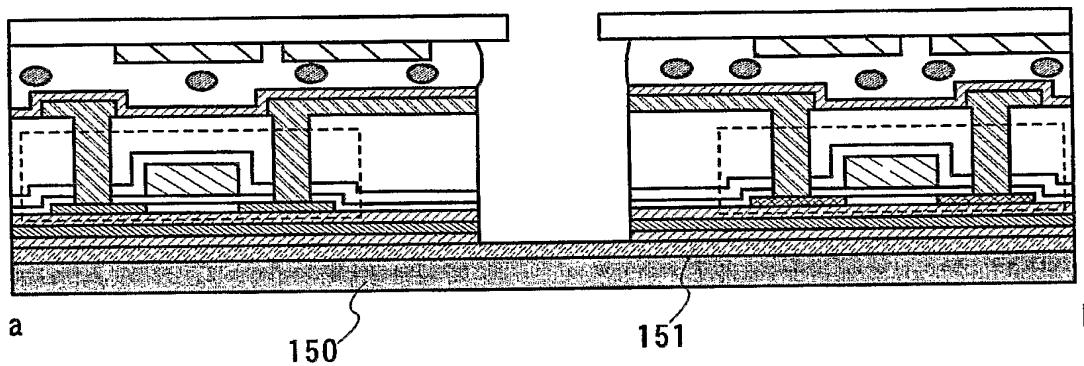
【図5】

(A)



150

(B)

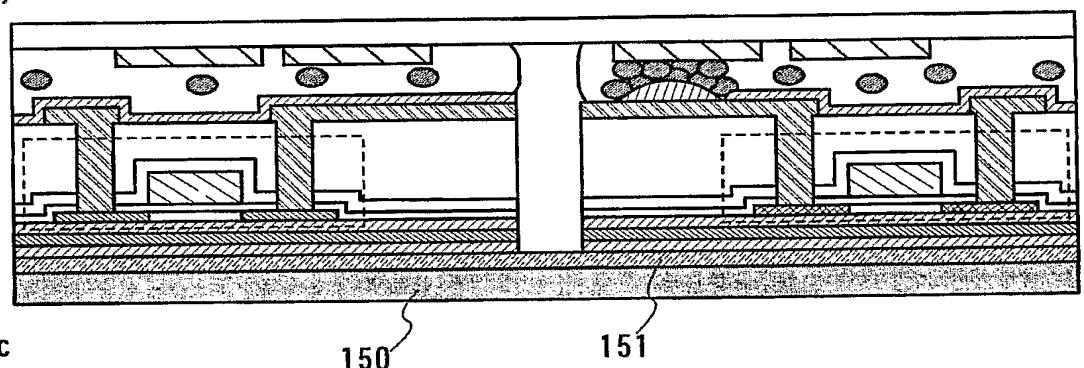


a

151

b

(C)



c

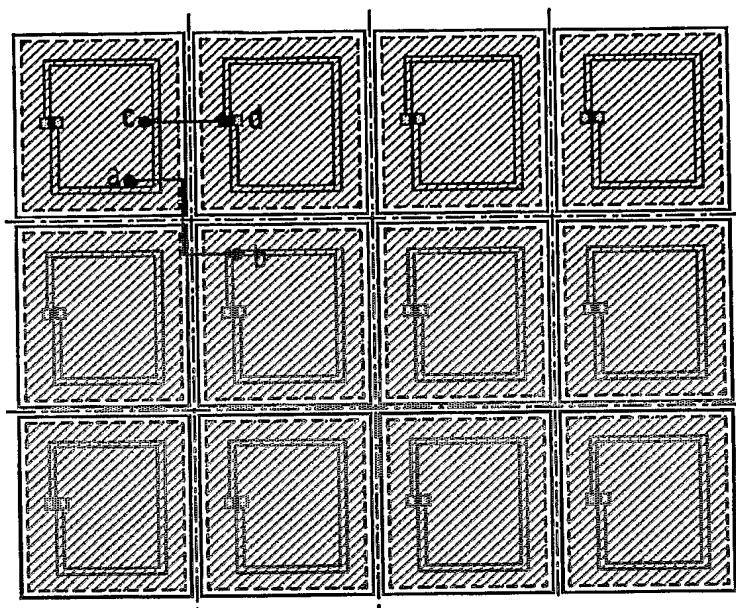
150

151

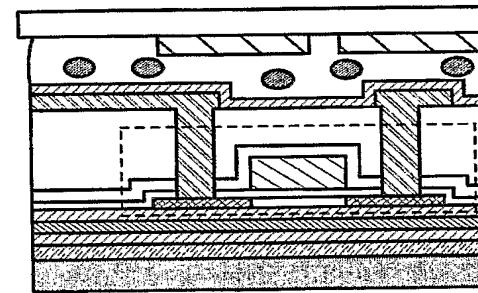
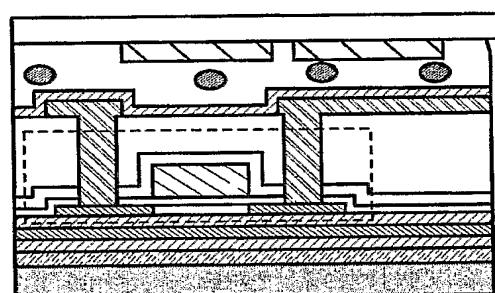
d

【図6】

(A)

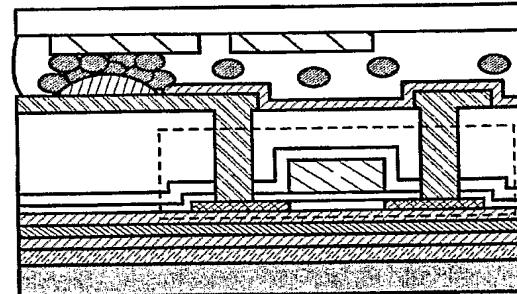
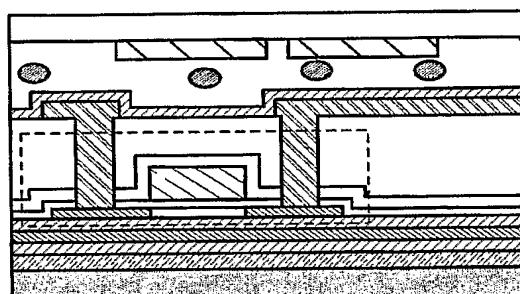


(B)



b

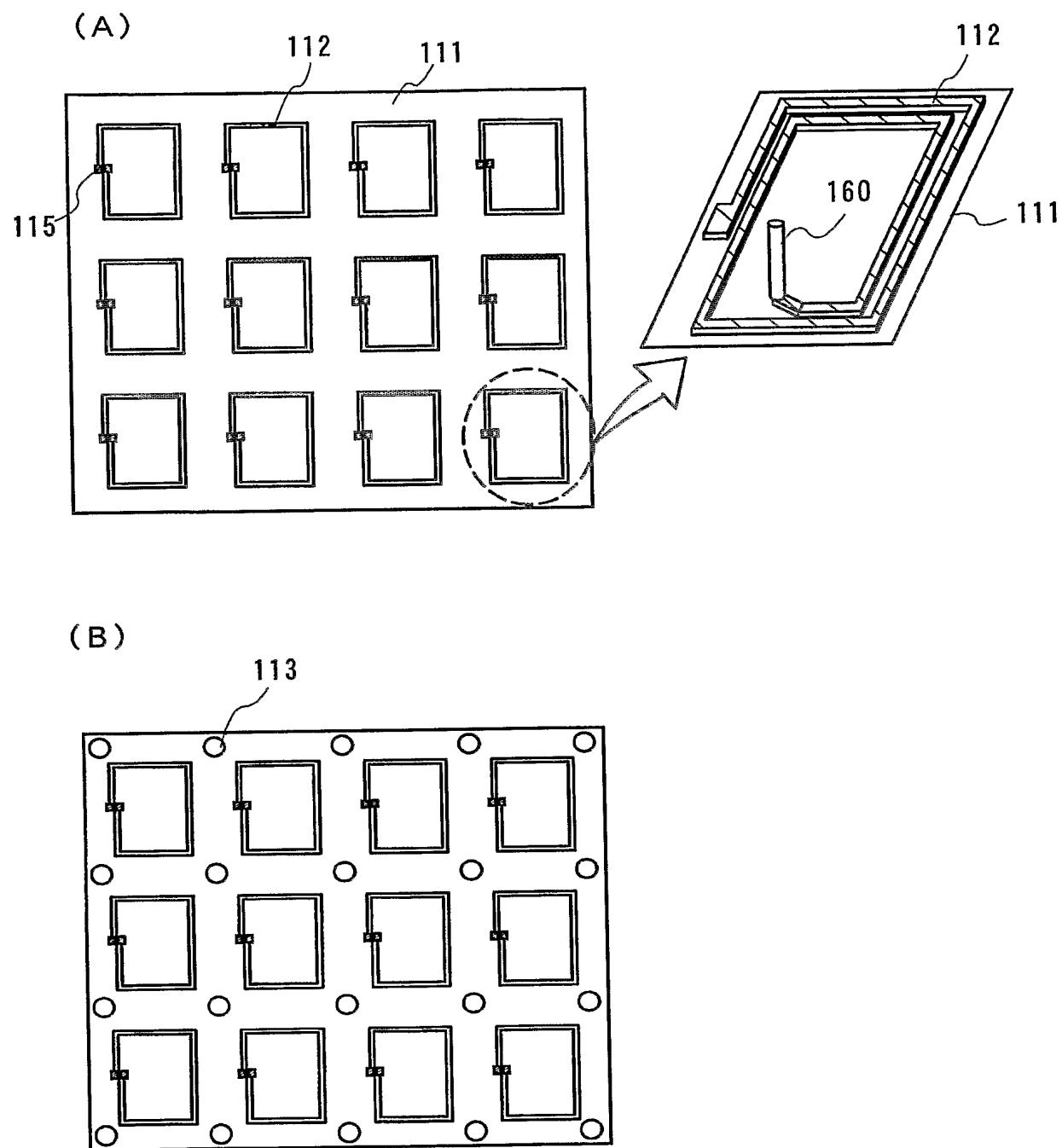
(C)



d

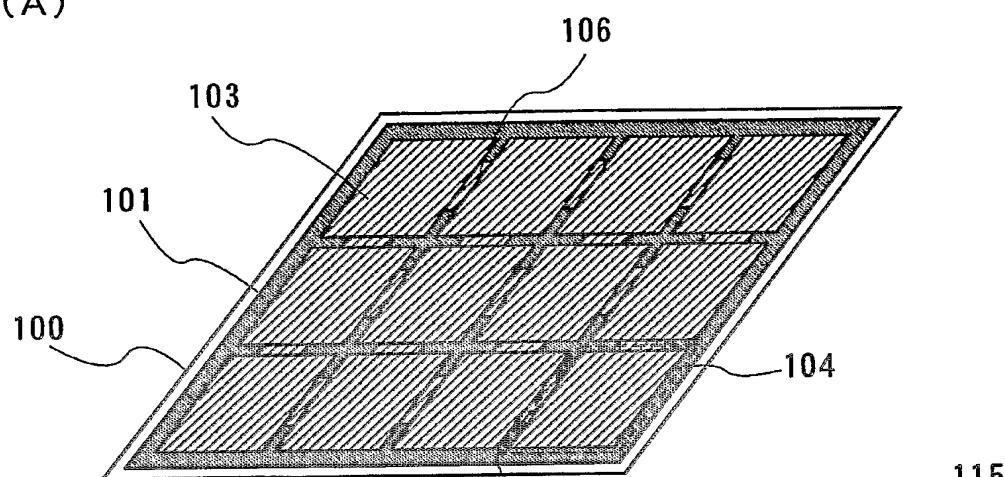
c

【図7】

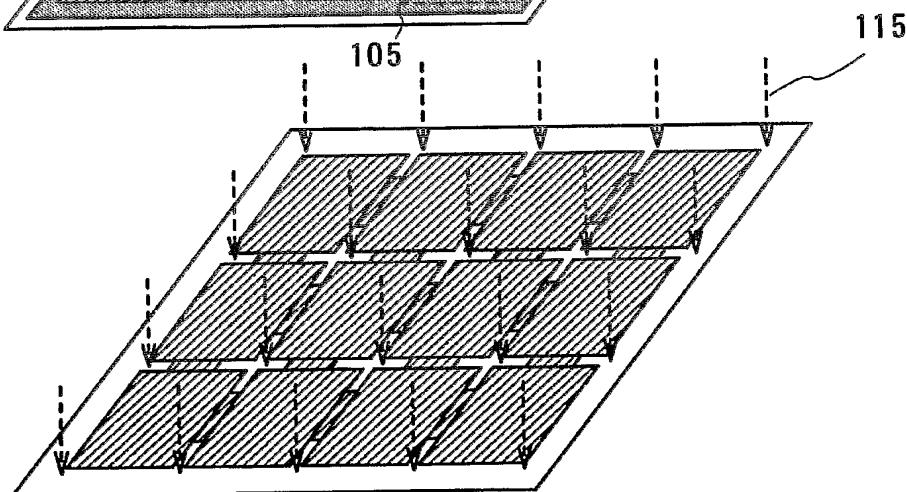


【図8】

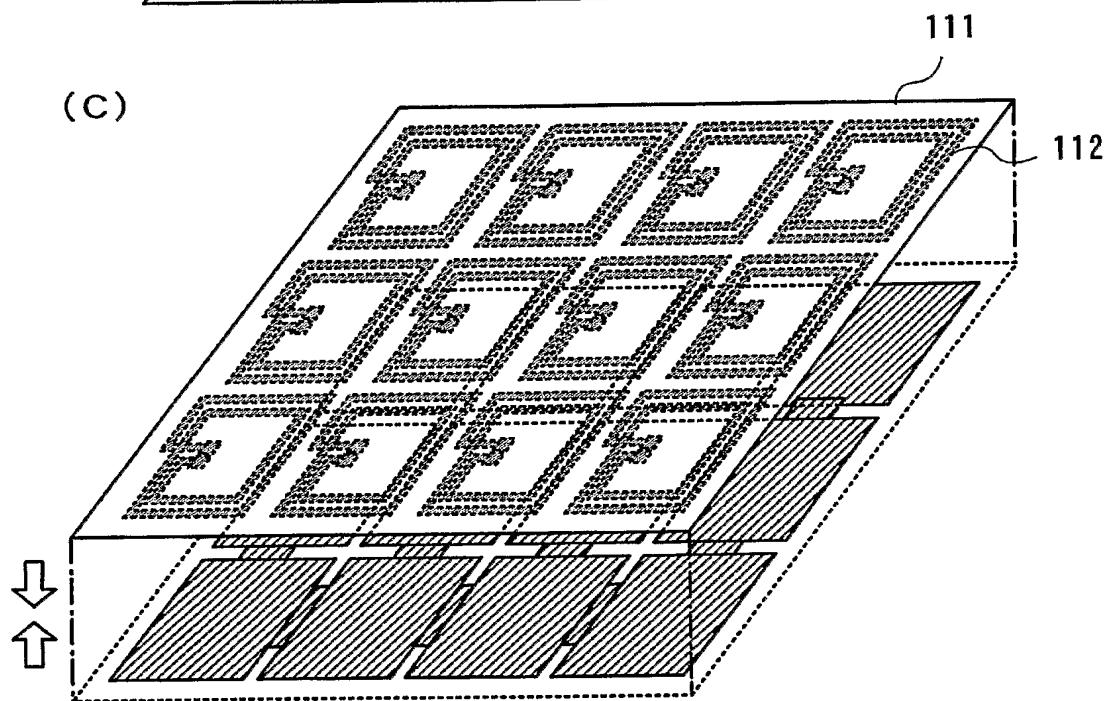
(A)



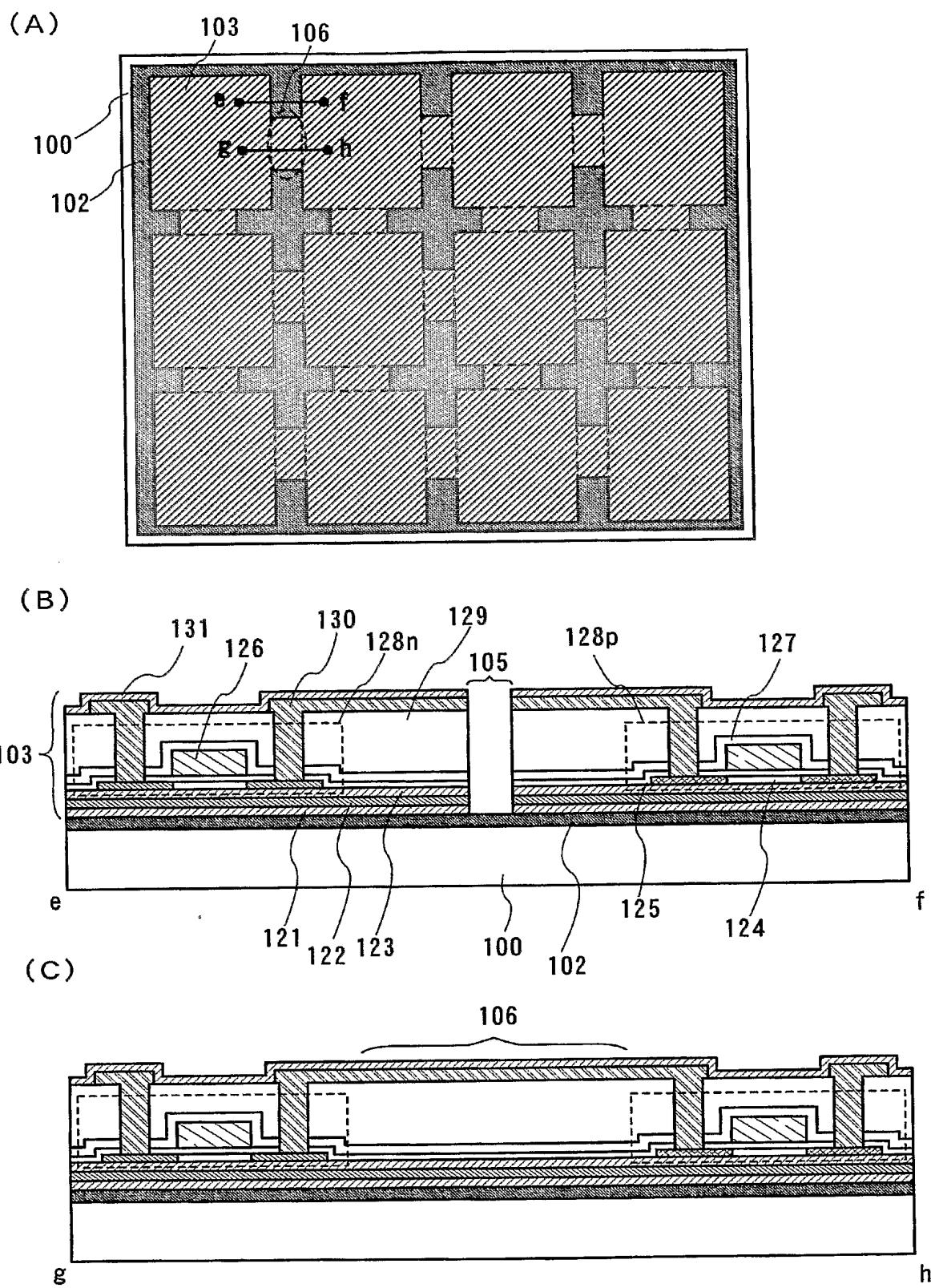
(B)



(C)

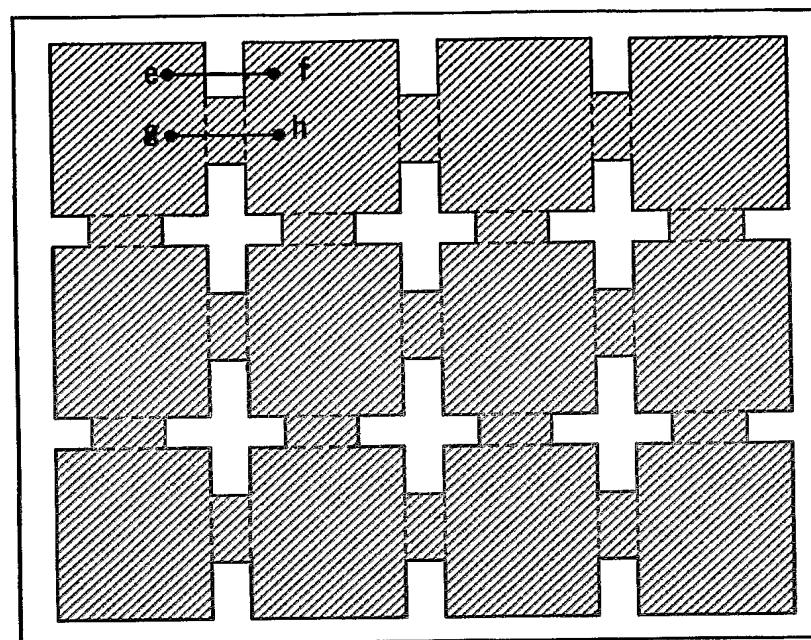


【図9】

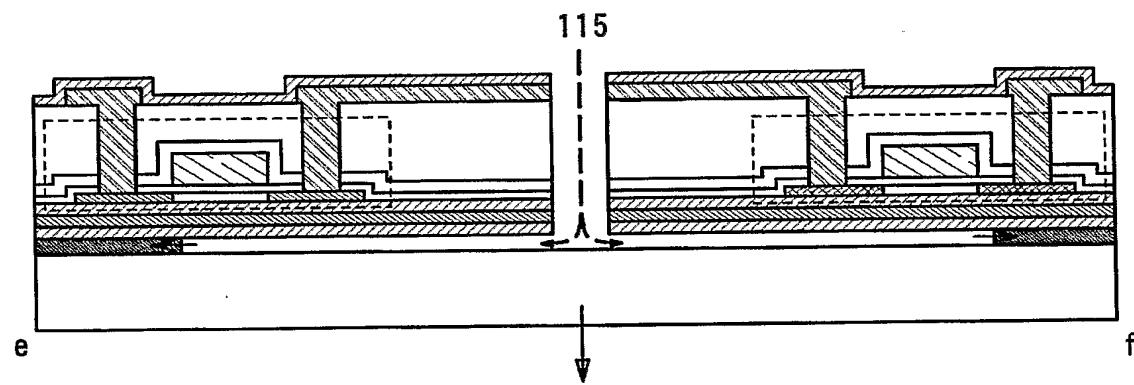


【図 10】

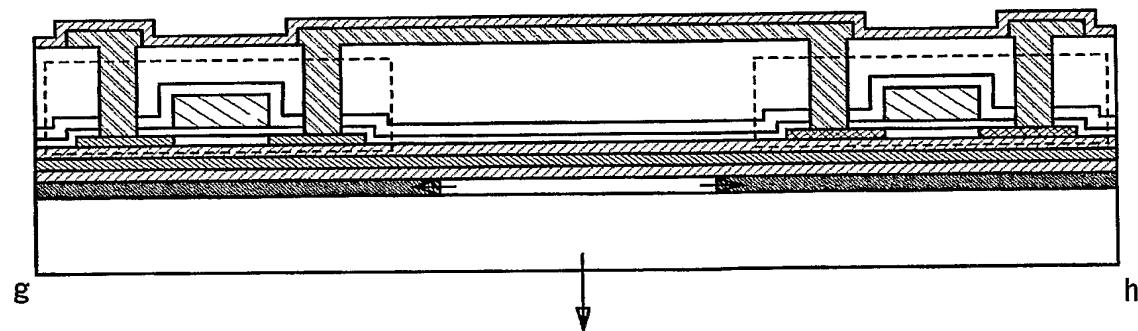
(A)



(B)

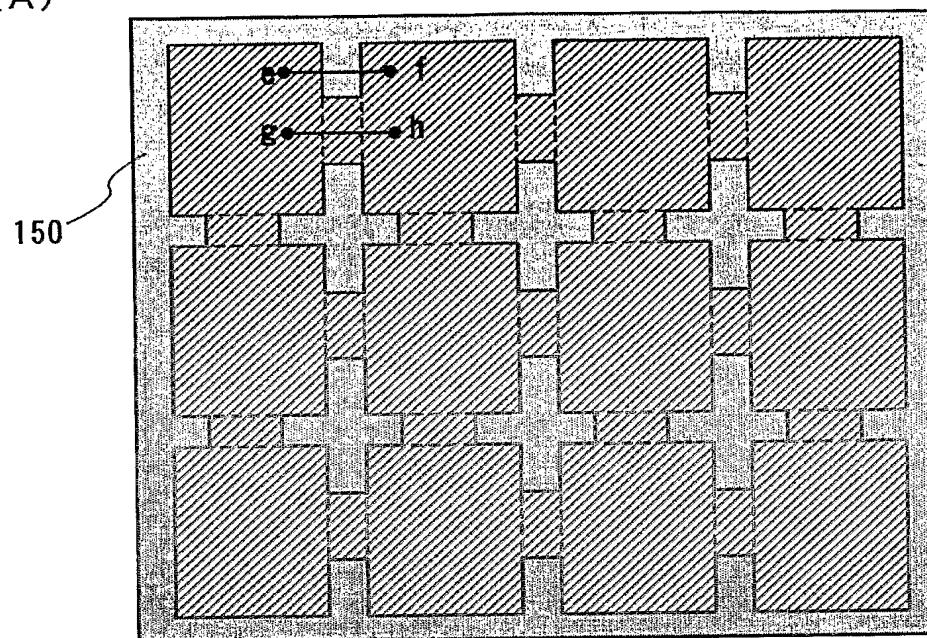


(C)

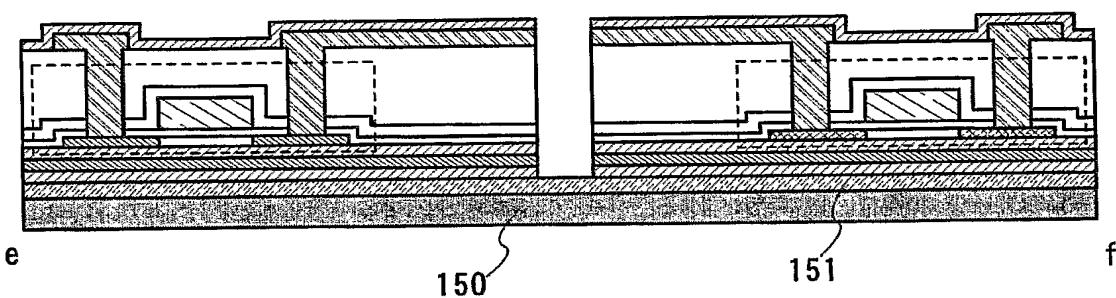


【図11】

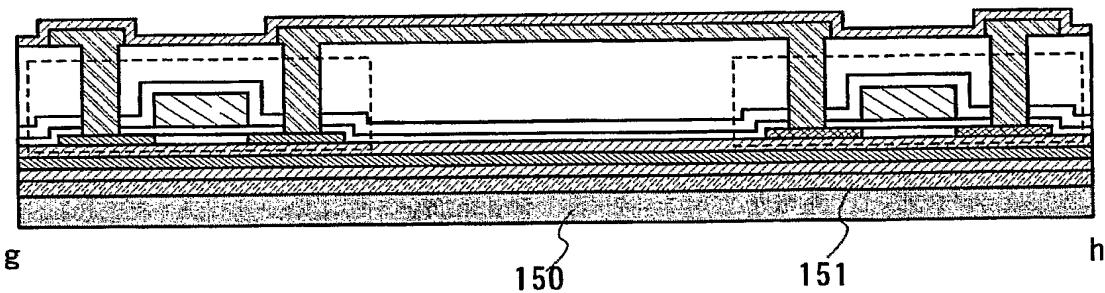
(A)



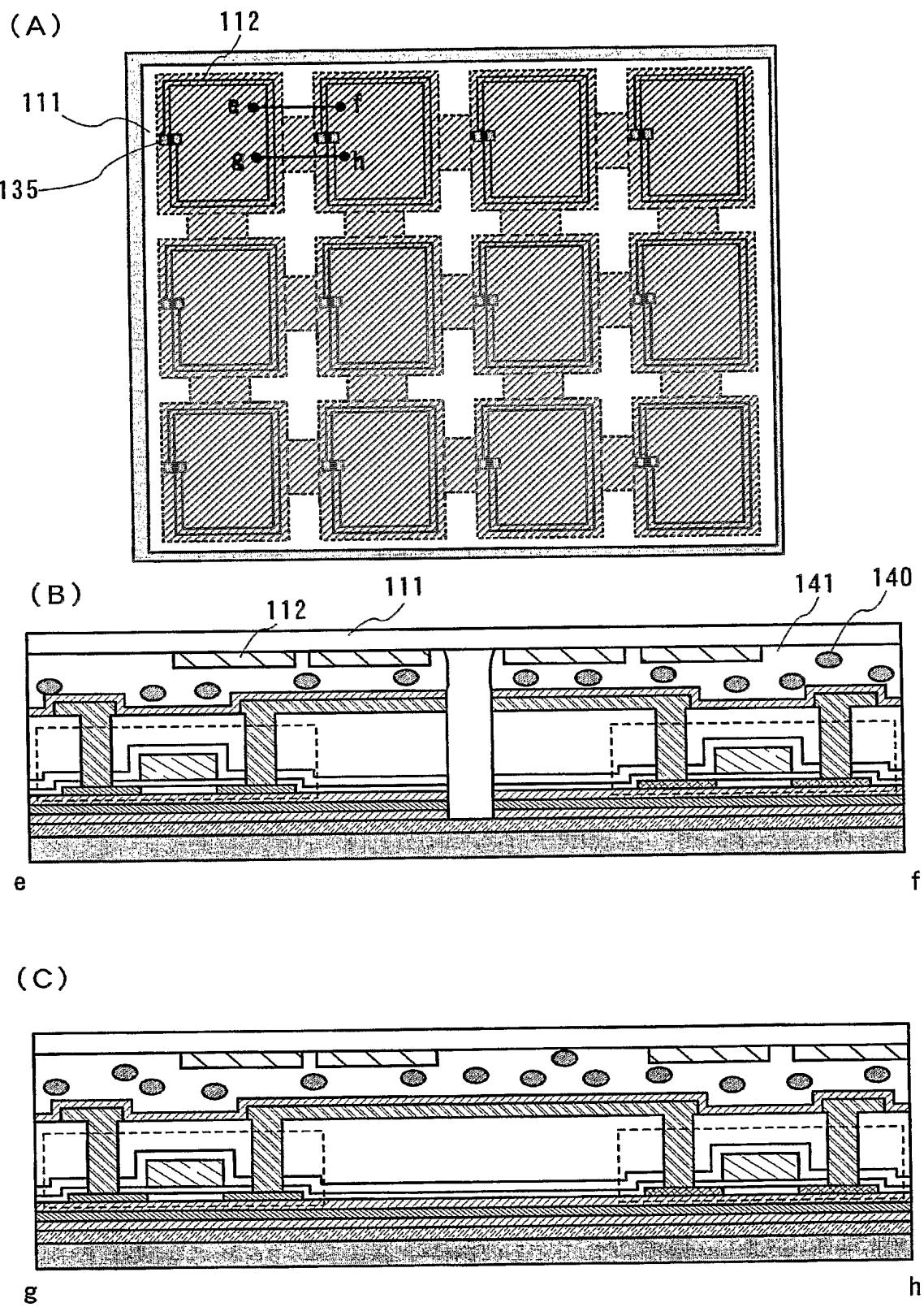
(B)



(C)

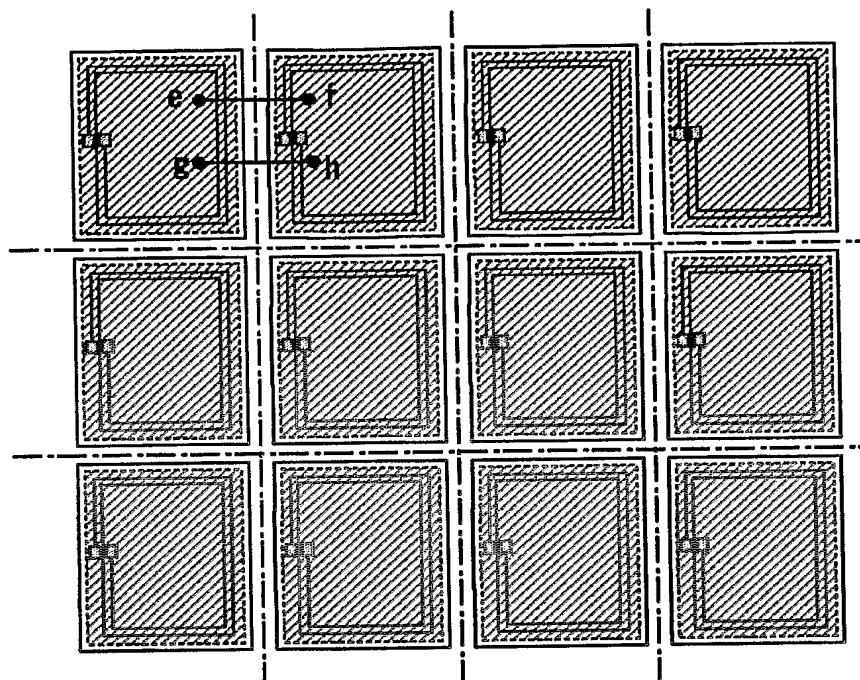


【図12】

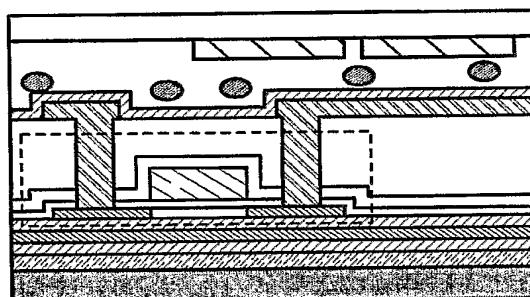


【図13】

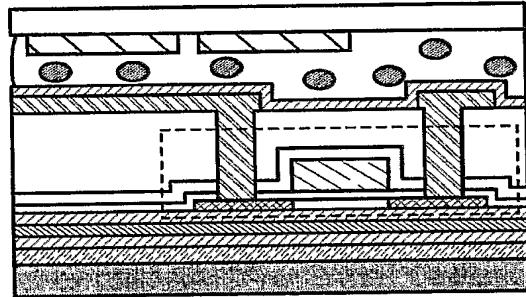
(A)



(B)

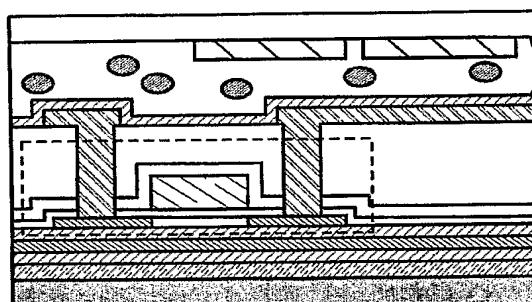


e

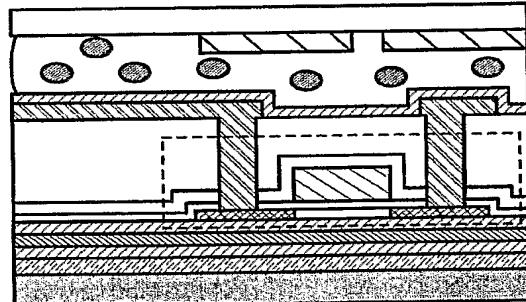


f

(C)

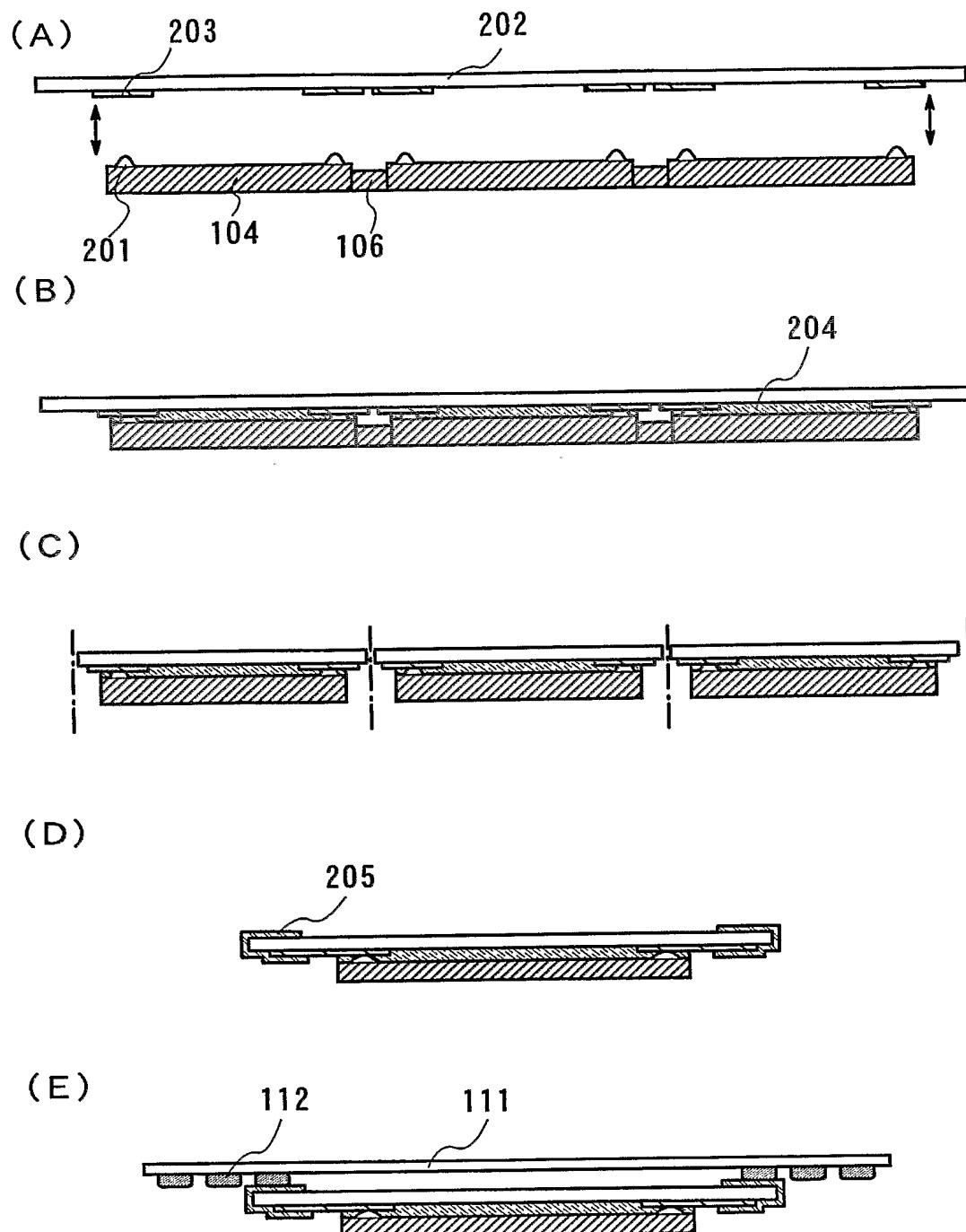


g



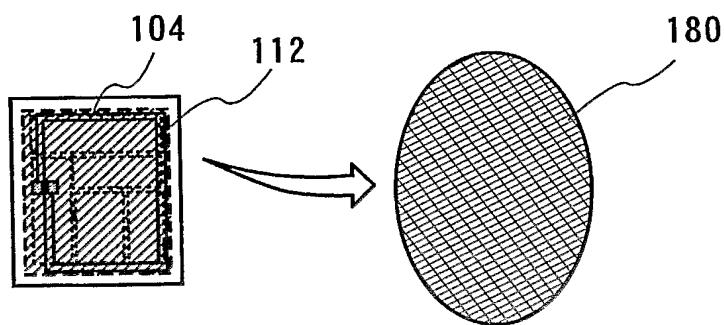
h

【図14】

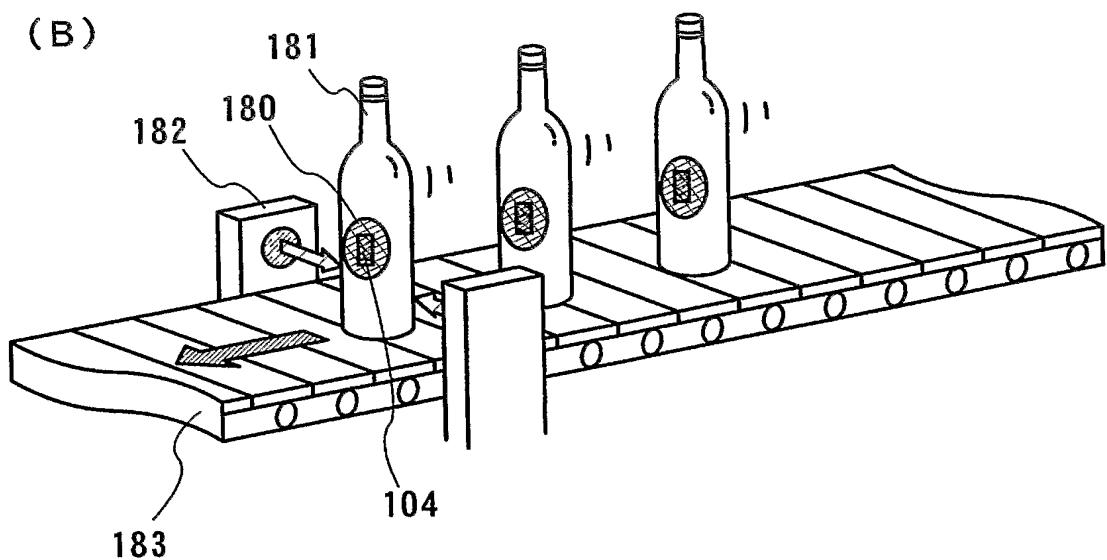


【図15】

(A)

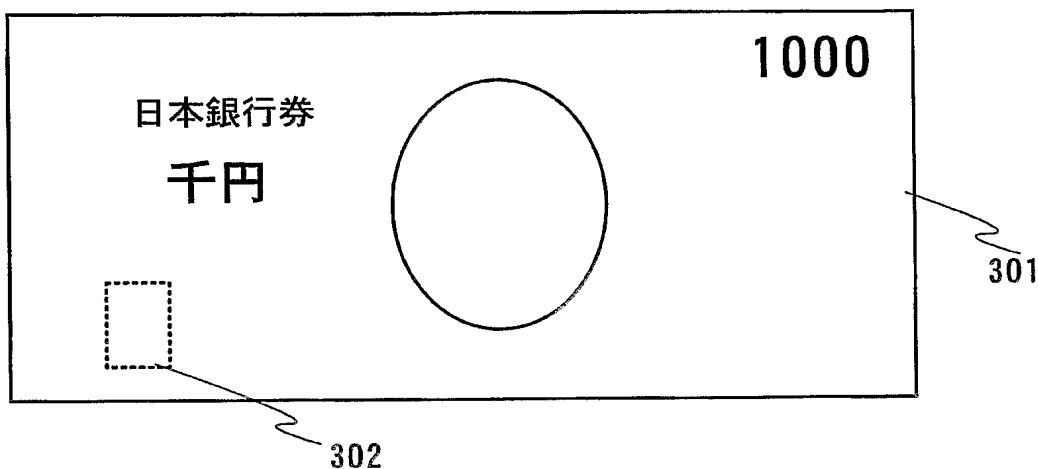


(B)

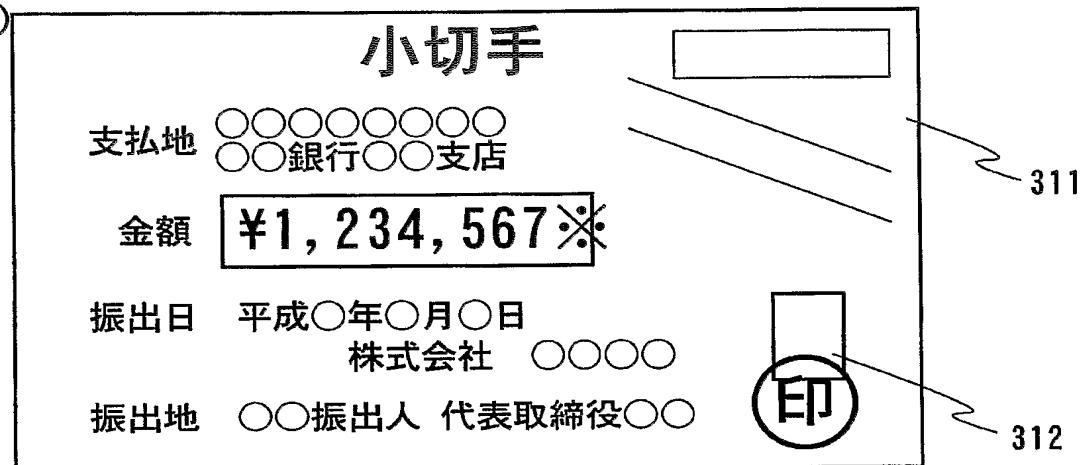


【図16】

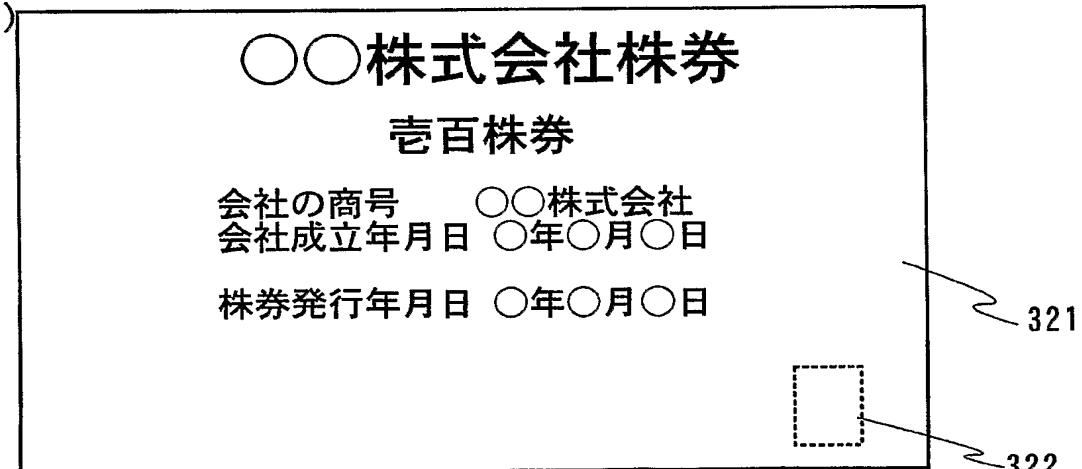
(A)



(B)

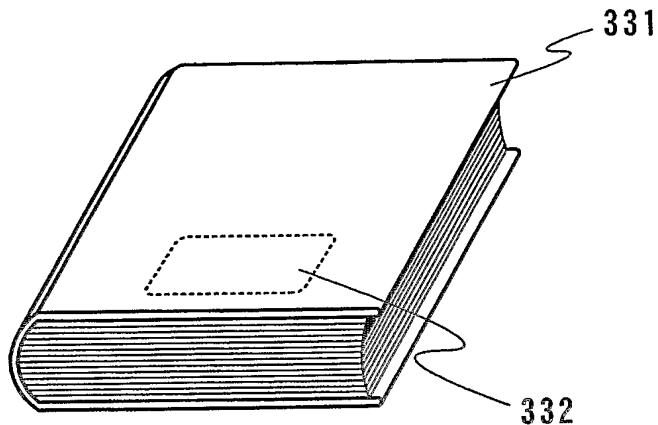


(C)

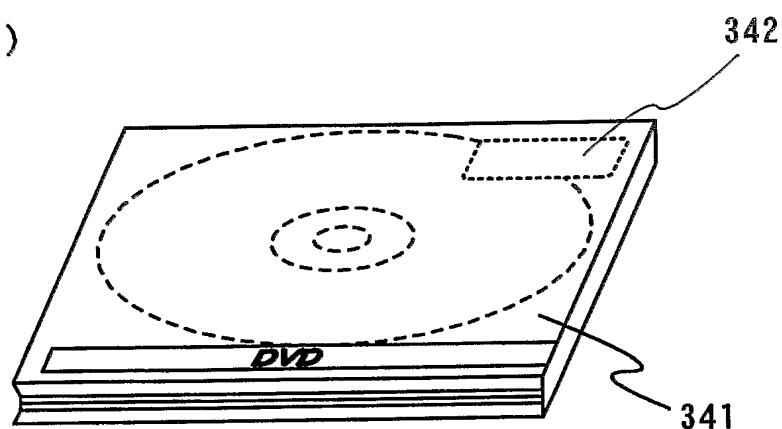


【図17】

(A)

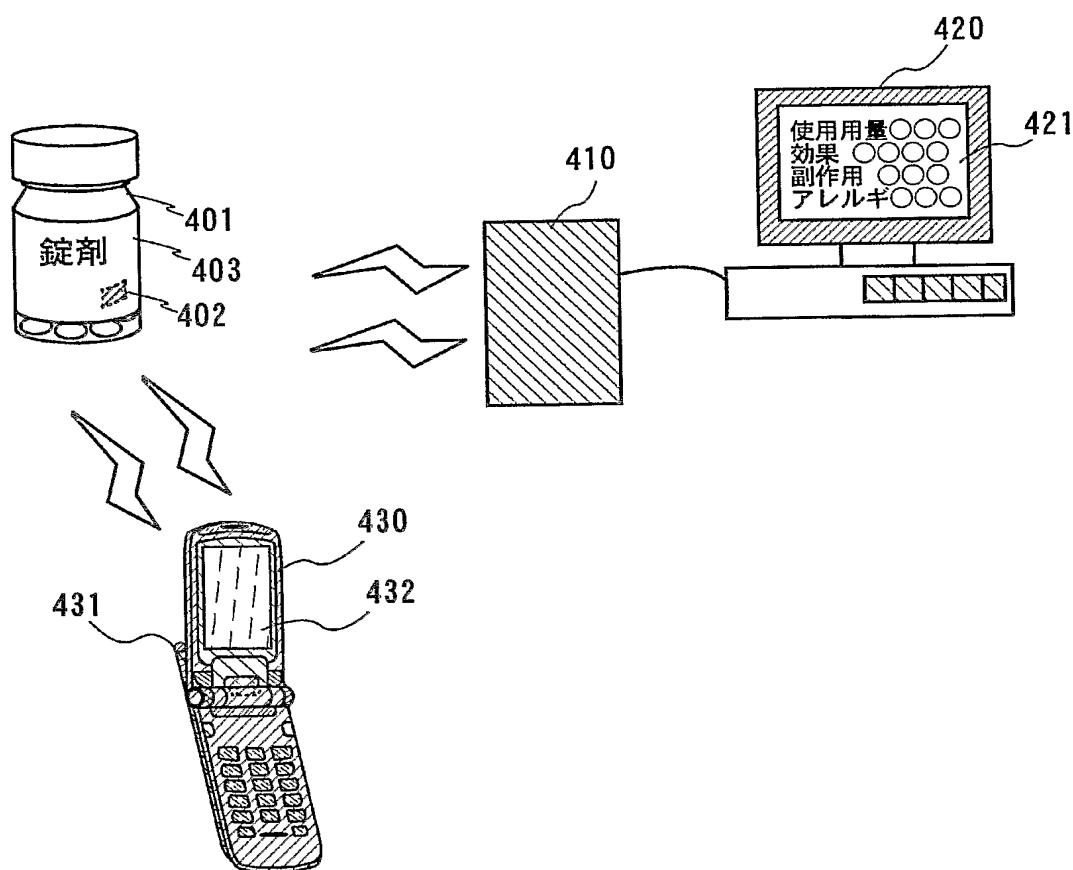


(B)

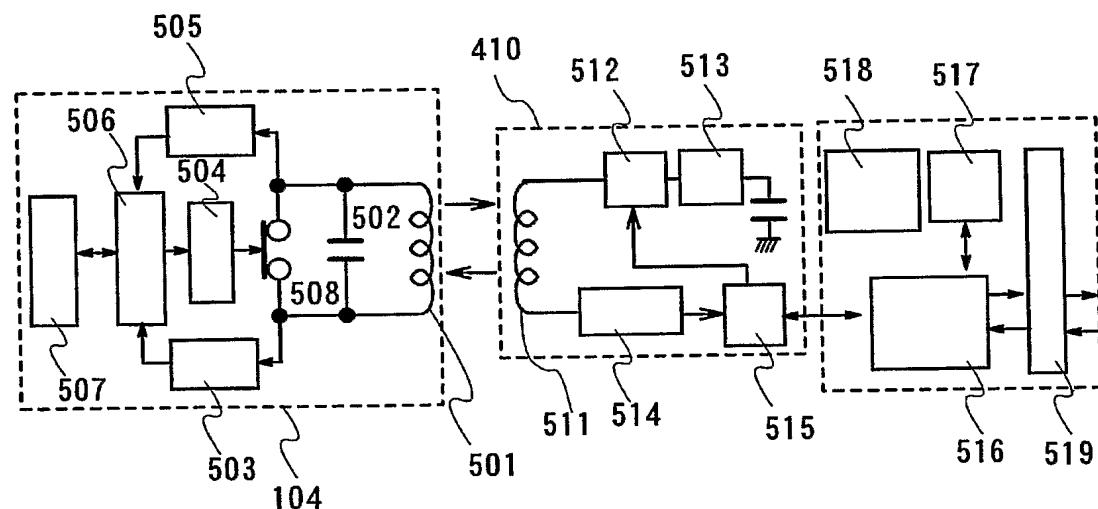


【図18】

(A)

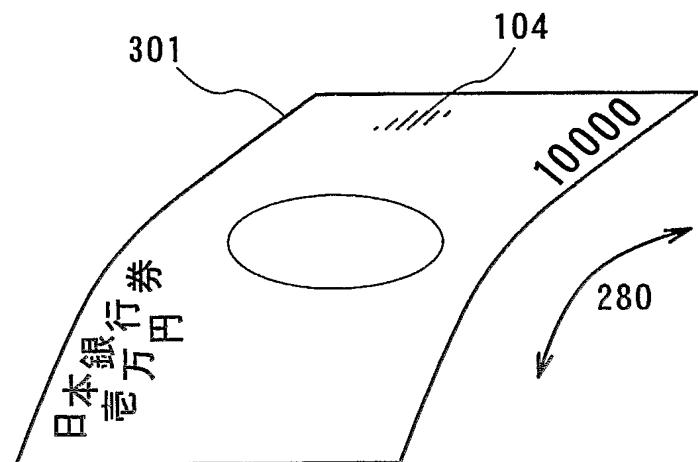


(B)

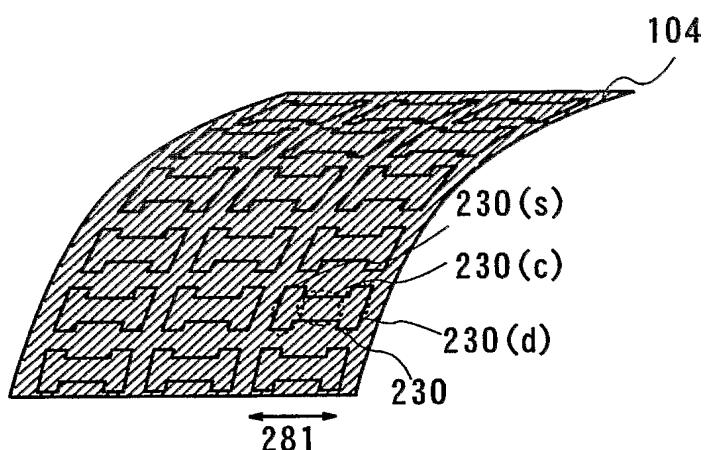


【図19】

(A)

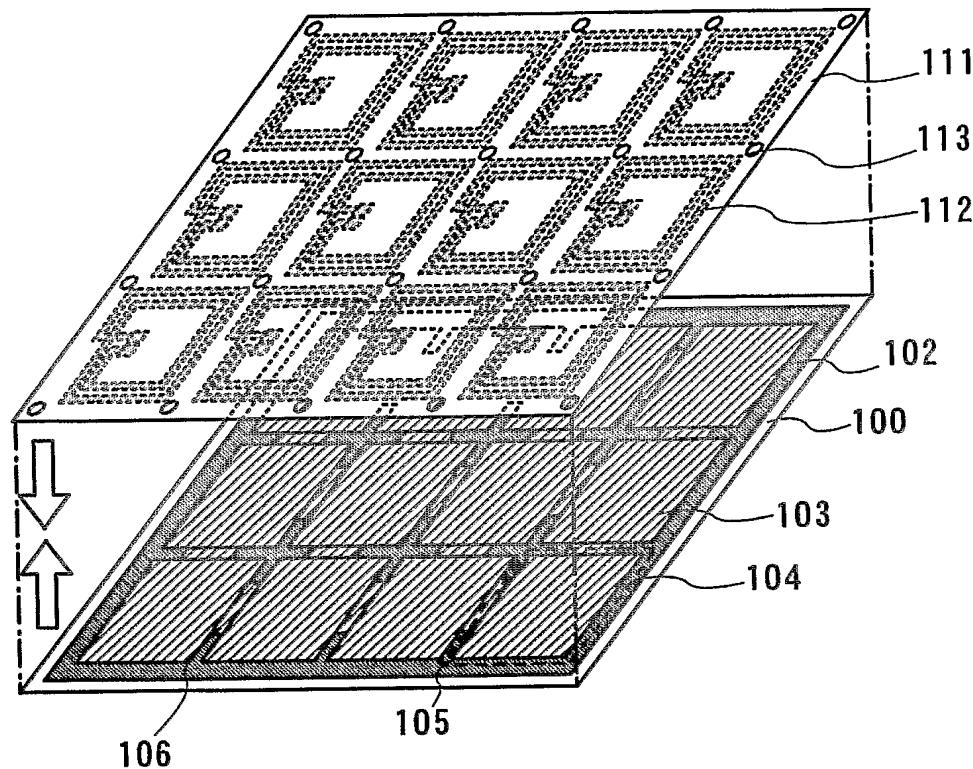


(B)

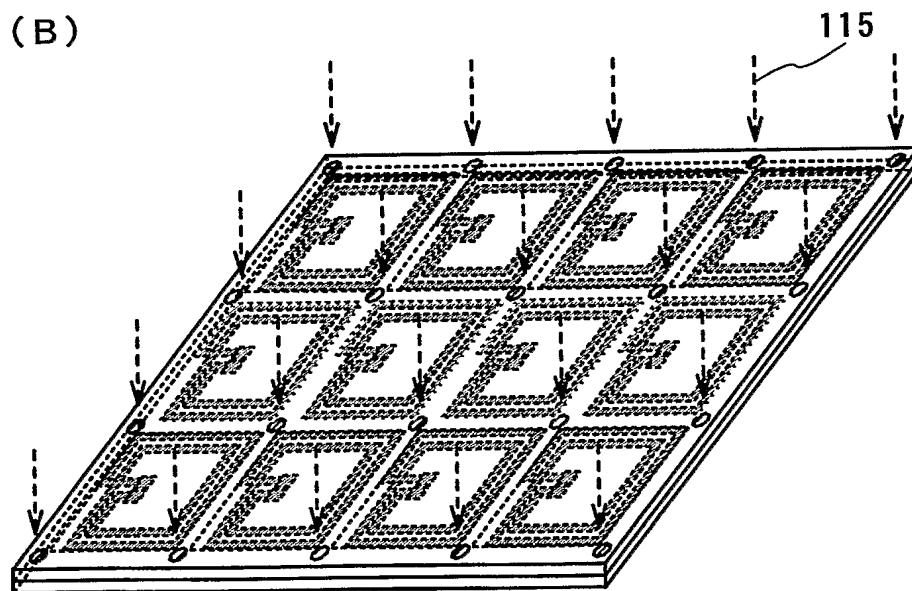


【図20】

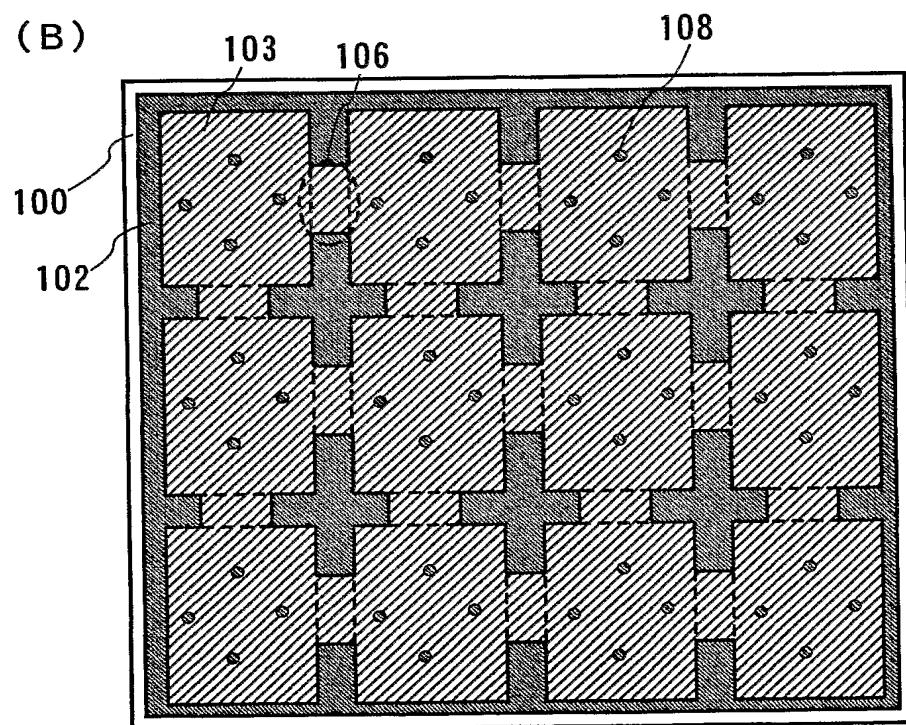
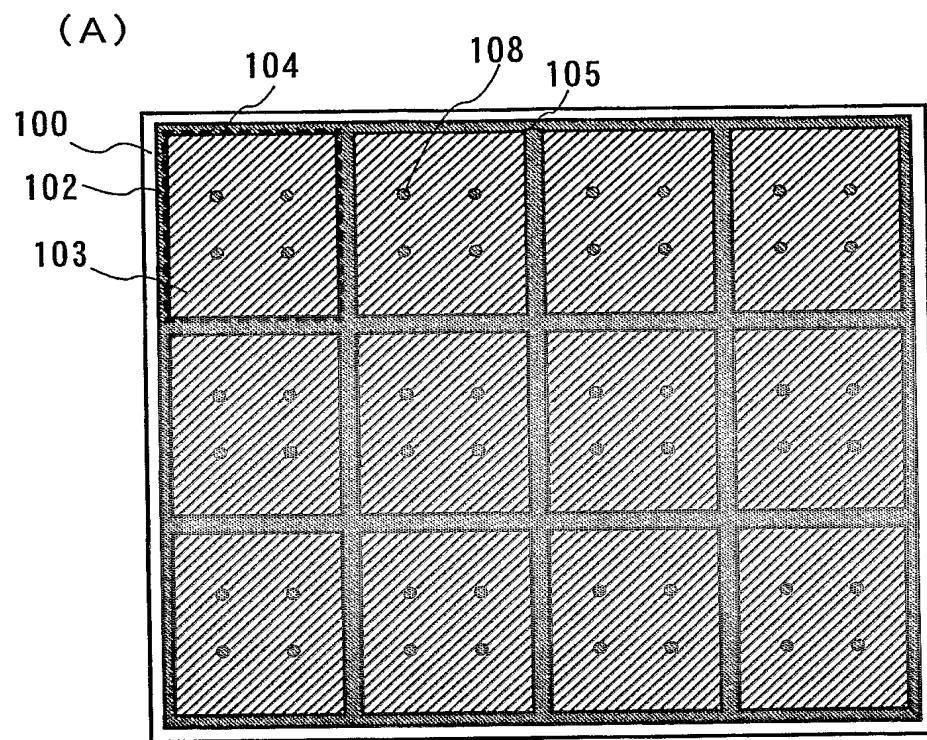
(A)



(B)

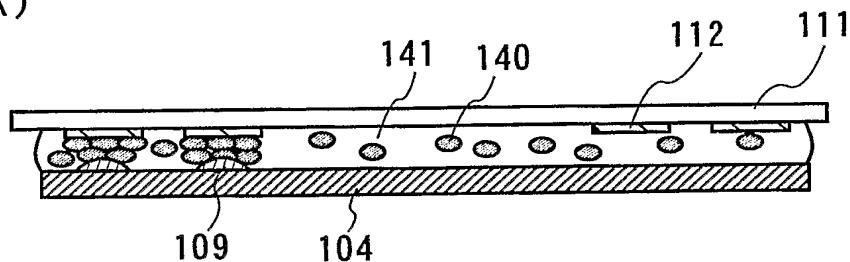


【図21】

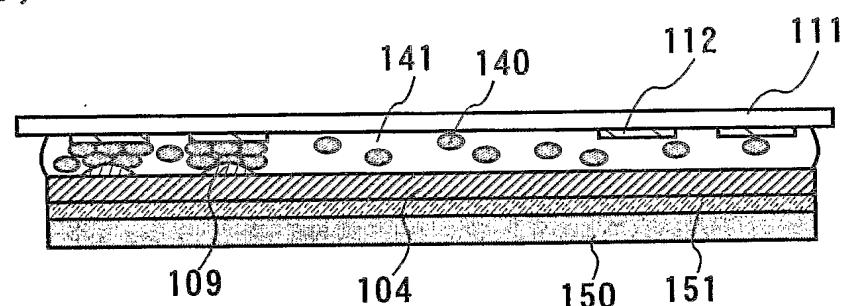


【図22】

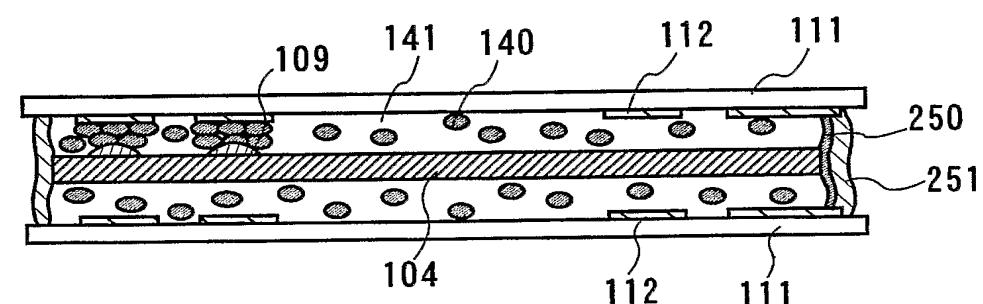
(A)



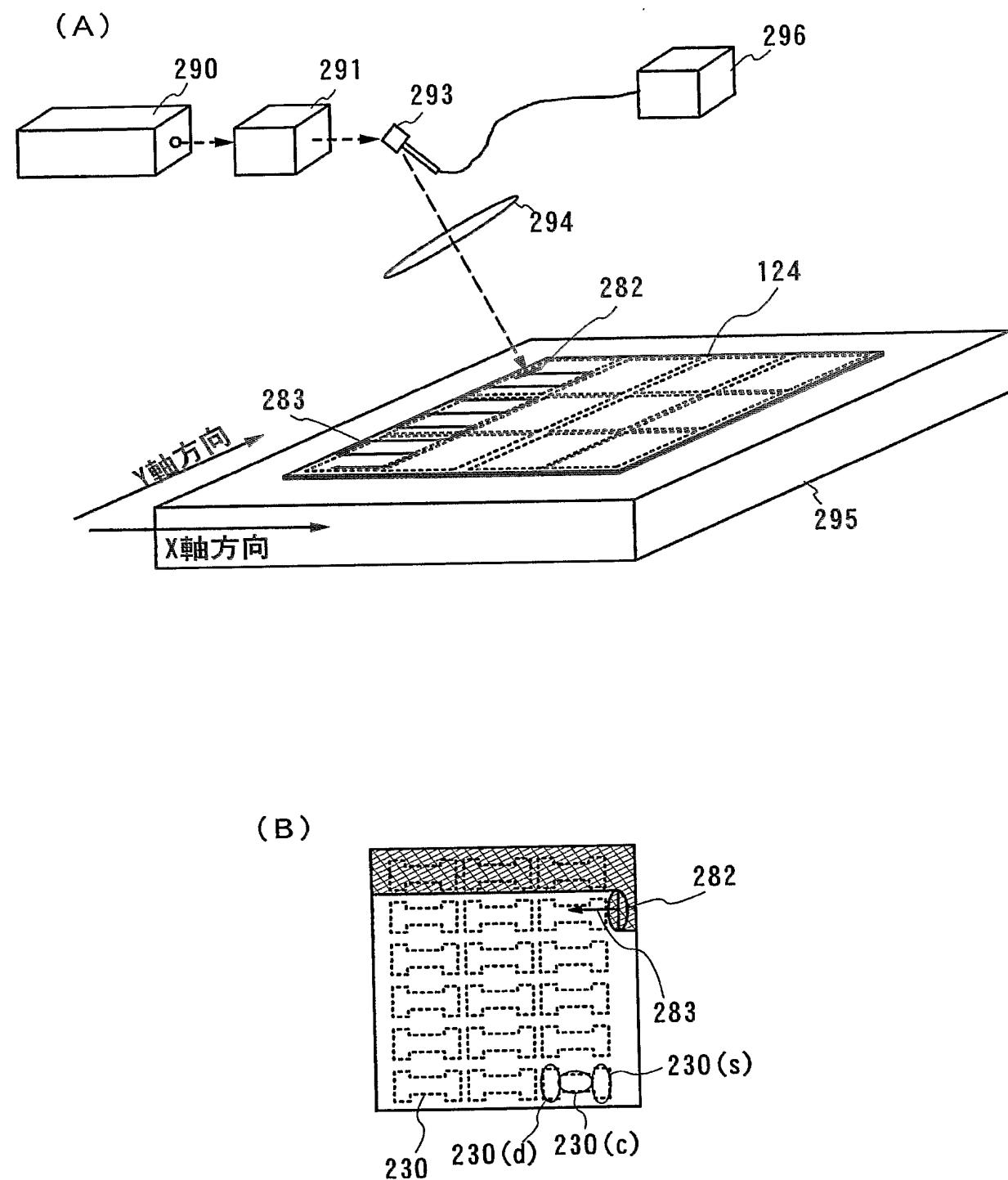
(B)



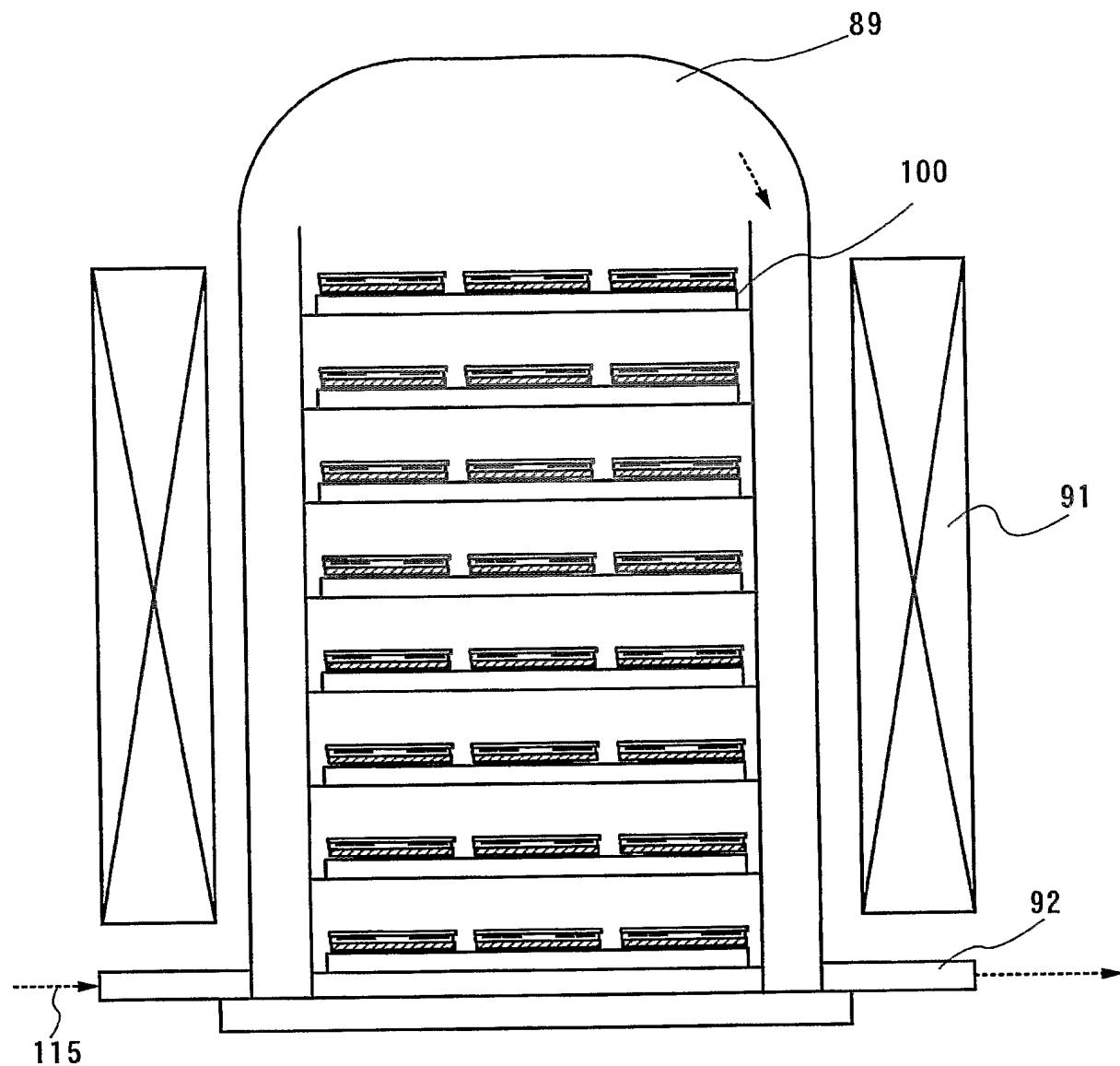
(C)



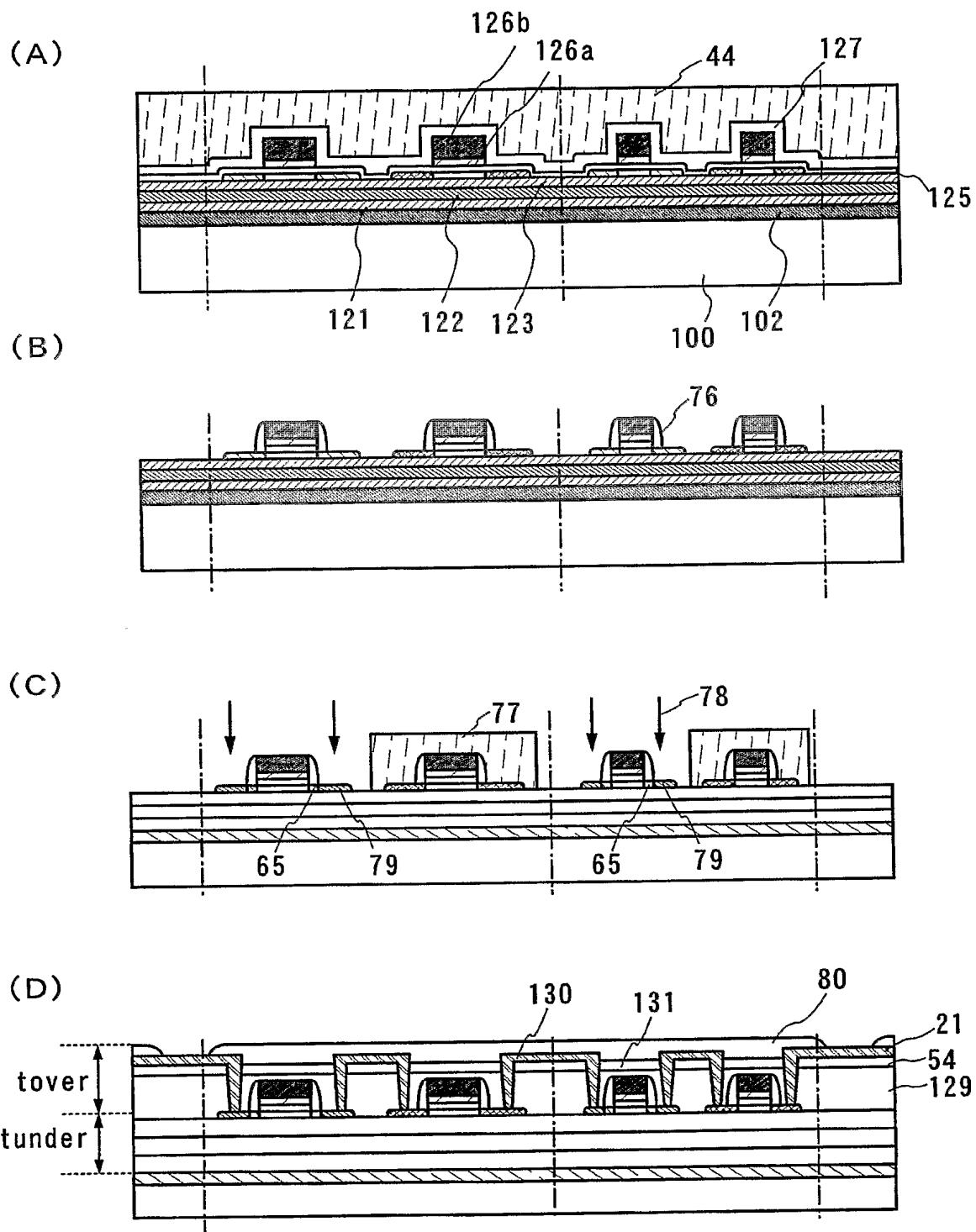
【図23】



【図24】

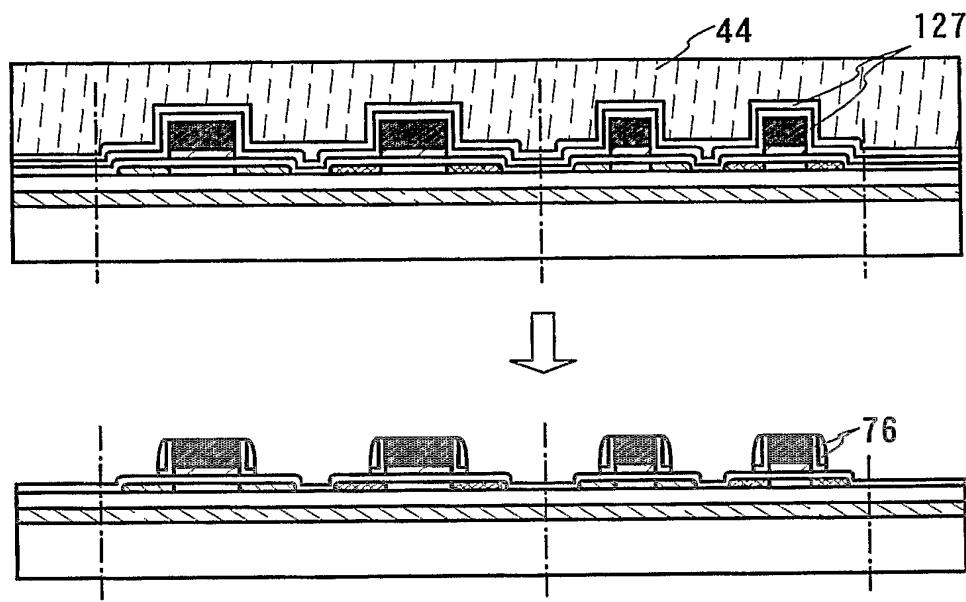


【図25】

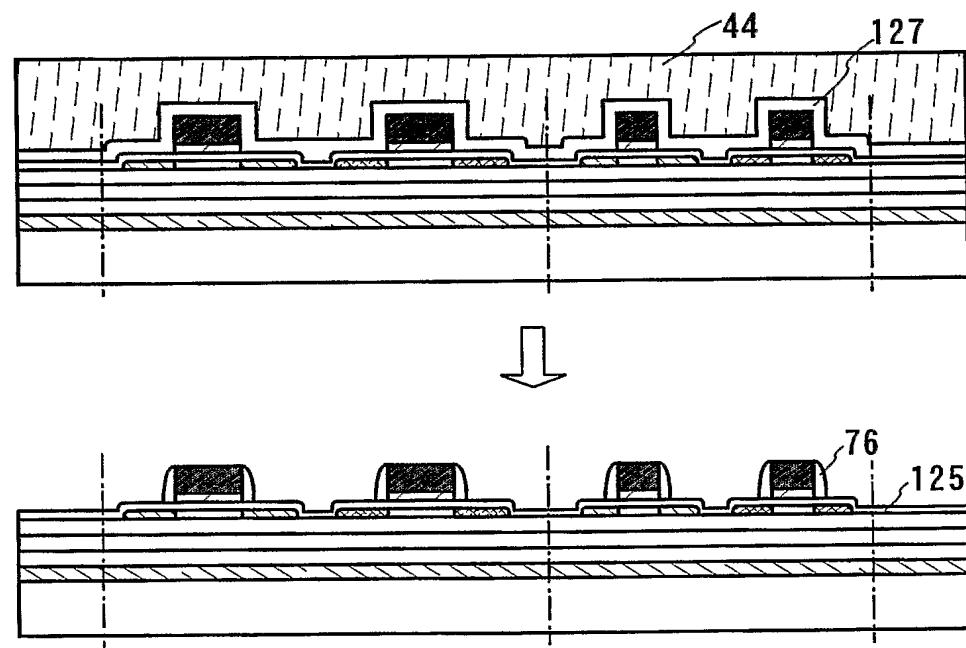


【図26】

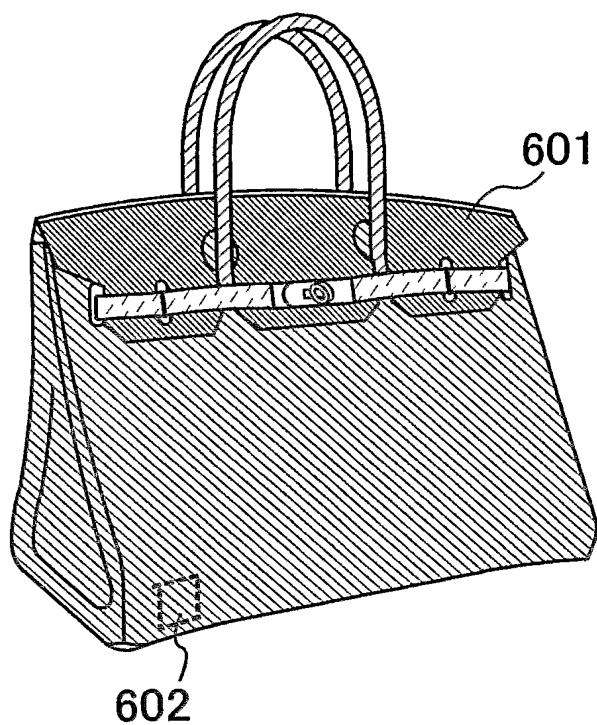
(A)



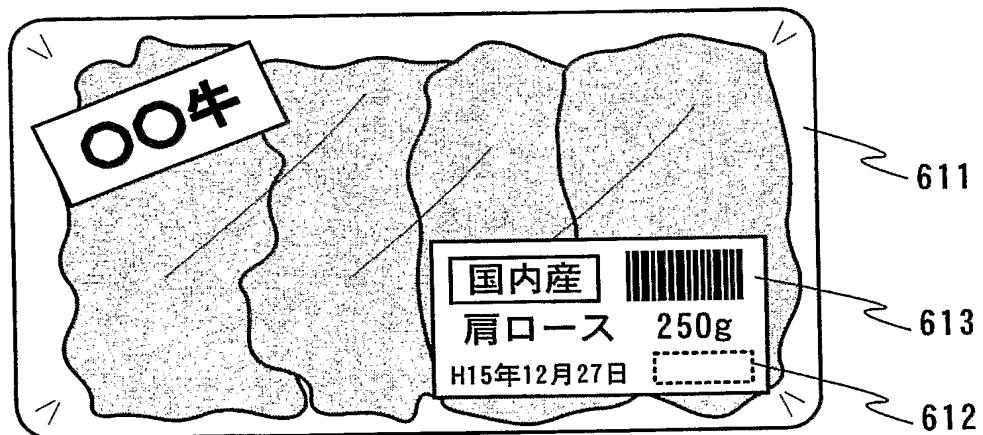
(B)



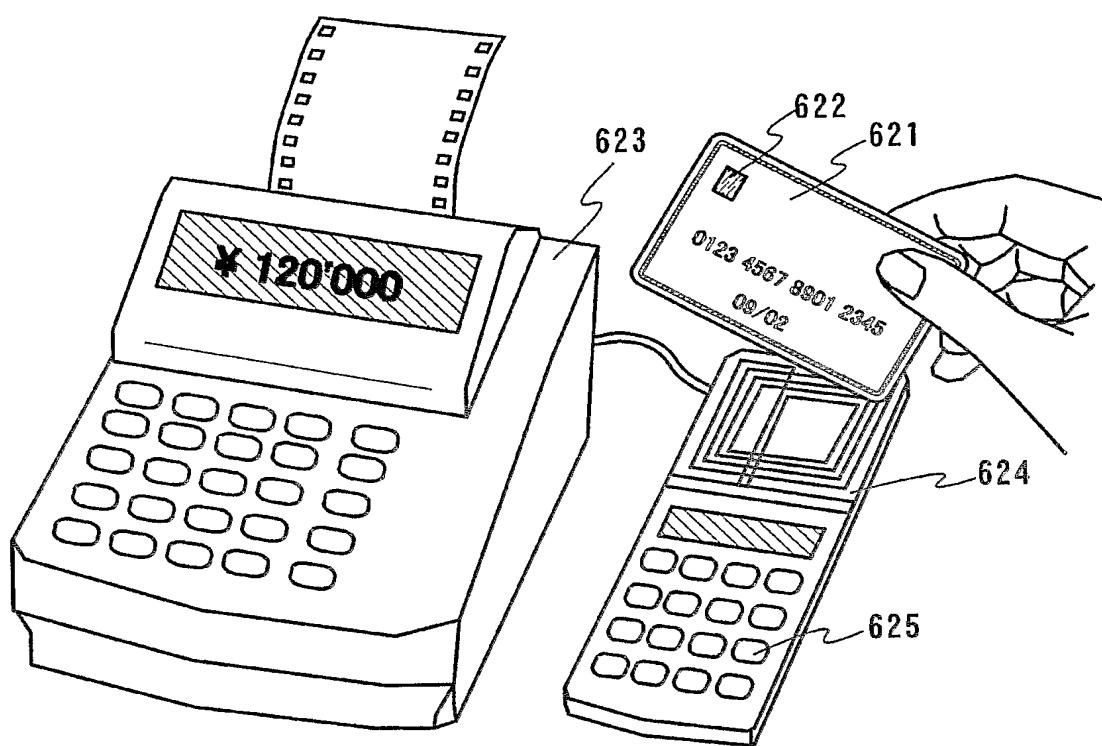
【図 27】



【図 28】



【図2.9】



【書類名】要約書

【要約】

【課題】 シリコンウェハから形成されるICチップは利用形態の増大、需要の増大が予想され、さらなる低コスト化が要求される。

そこで本発明は、さらなる低コストでの生産が可能なICチップの構造、プロセスの提供を課題とする。

【解決手段】 上記課題を鑑み本発明は、絶縁基板上に、剥離層を形成し、剥離層上に0.2 μ m以下の半導体膜を能動領域として有する薄膜集積回路を形成するとき、薄膜集積回路がばらばらに分離しない工程を提供することを特徴とする。絶縁基板は、円形のシリコンウェハからチップを取り出す場合と比較して、母体基板形状に制約がないため、チップの低コスト化を図ることができる。

特願 2004-031064

出願人履歴情報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所